

УДК 004.383.4

На правах рукописи



Юрлин Сергей Владимирович

**Разработка специализированных прототипов на основе  
программируемой логики для эффективной функциональной  
верификации многоядерных микропроцессоров**

Специальность 05.13.05 – «Элементы и устройства вычислительной техники  
и систем управления»

АВТОРЕФЕРАТ

диссертации на соискание учёной степени

кандидата технических наук

Москва – 2014 г.

Работа выполнена в ОАО «ИНЭУМ им. И.С. Брука» и ЗАО «МЦСТ».

Научный руководитель: **Бычков Игнат Николаевич**,  
кандидат технических наук

Официальные оппоненты: **Чумаков Александр Иннокентьевич**,  
доктор технических наук,  
заместитель директора Института  
экстремальной прикладной электроники

**Путря Фёдор Михайлович**,  
кандидат технических наук,  
начальник лаборатории «Верификации СнК  
и IP-блоков» НТО-1 ОАО НПЦ «ЭЛВИС»

Ведущая организация: ОАО «Научно-исследовательский институт  
вычислительных комплексов им. М.А.  
Карцева»

Защита состоится «\_\_\_» \_\_\_\_\_ 2014 г. в \_\_\_ ч \_\_\_ мин на заседании  
диссертационного совета Д 409.009.01 при ОАО «Институт электронных  
управляющих машин им. И.С. Брука» по адресу: 119334, г. Москва, ул.  
Вавилова, 24.

С диссертацией можно ознакомиться в библиотеке ОАО «Институт  
электронных управляющих машин им. И.С. Брука» и на официальном сайте  
[www.ineum.ru](http://www.ineum.ru).

Автореферат разослан «\_\_\_» \_\_\_\_\_ 2014 г.

Учёный секретарь

диссертационного совета

кандидат технических наук, профессор

Красовский В.Е.

## ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

### Актуальность работы

Для высокопроизводительных микропроцессоров характерна тенденция постоянного увеличения количества вычислительных ядер при усложнении подсистемы памяти. Наблюдается появление различных режимов энергосбережения, увеличение пропускной способности каналов памяти, межпроцессорного обмена и каналов ввода/вывода. Как следствие, при разработке таких процессоров повышается сложность этапа функциональной верификации модели микропроцессора в составе вычислительной системы.

Обеспечение за приемлемое время наиболее полного тестового покрытия модели многоядерного процессора в виде RTL-описания (англ. register transfer level, RTL) является основной задачей функциональной верификации. В условиях сокращения сроков создания и выпуска новых версий микропроцессоров общепринятым является применение вспомогательной аппаратуры. Ведущими производителями в области автоматизации проектирования предлагается несколько классов такой аппаратуры:

- Многоядерные серверы для программной симуляции на основе процессоров общего назначения (напр. VCS от компании Synopsys).
- Ускорители программной симуляции на основе графических процессоров (напр. RocketSim от компании Rocketick).
- Эмуляторы на основе специализированных процессоров (напр. Palladium от компании Cadence).
- Эмуляторы на основе микросхем программируемой логики (напр. Veloce от компании Mentor Graphics).
- Прототипы на основе микросхем программируемой логики (напр. HAPS от компании Synopsys).

Анализ и применение вспомогательной аппаратуры от ведущих производителей выявило недостатки её эксплуатационных характеристик при существенных затратах на приобретение и использование.

Значительная минимизация затрат на вспомогательную аппаратуру, уменьшение трудоёмкости её сопровождения и времени, необходимого для проведения этапа функциональной верификации, достигается путём создания специализированных прототипов на основе микросхем программируемой логики (ПЛИС). При этом учитывается структура проектируемого микропроцессора и его окружения. Как правило, трудновыполнимыми условиями при создании таких прототипов являются ограниченный бюджет и строгие сроки на разработку, изготовление и наладку при увеличении количества необходимого оборудования. Следовательно, актуальным становится исследование и создание методов разработки эффективных специализированных прототипов на основе ПЛИС и их реализация для оптимального и успешного выполнения этапа функциональной верификации многоядерных микропроцессоров.

### **Цель работы**

Цель диссертационной работы заключается в разработке специализированных прототипов на основе ПЛИС для эффективной функциональной верификации многоядерных микропроцессоров и их окружения.

В соответствии с этим были определены следующие задачи:

- Проведение теоретических и экспериментальных исследований с целью определения узких мест, замедляющих ввод специализированных прототипов многоядерных микропроцессоров на основе ПЛИС в эксплуатацию и ограничивающих их производительность.

- Разработка технических решений по созданию специализированных прототипов на основе ПЛИС в пределах выделенного интервала времени от момента определения структуры многоядерных микропроцессоров до момента готовности их RTL-описания с учётом увеличения количества оборудования.
- Обеспечение максимальной частоты эмуляции специализированных прототипов многоядерных микропроцессоров на основе ПЛИС.
- Разработка специализированных прототипов на основе ПЛИС для эффективной функциональной верификации четырёхъядерного и восьмиядерного микропроцессоров серии «Эльбрус» и их окружения.

### **Научная новизна работы**

Решение поставленных в диссертационной работе задач определяет научную новизну исследования, которая заключается в следующем:

- Определены узкие места, замедляющие ввод специализированных прототипов многоядерных микропроцессоров на основе ПЛИС в эксплуатацию и ограничивающие их частоту эмуляции.
- Решена проблема унификации подключения в проекте ПЛИС блоков RTL-описания к различным физическим уровням, что позволило автоматизировать этот процесс.
- Реализована система автоматизированной диагностики функционирования аппаратуры специализированного прототипа на основе ПЛИС, позволяющая определить её работоспособность, выявить неисправные места и обеспечить контроль корректности работы в процессе использования.
- Предложен метод обеспечения максимальной частоты эмуляции многоядерного микропроцессора в специализированном прототипе на основе ПЛИС.

- Разработаны специализированные прототипы на ПЛИС четырёхъядерного и восьмиядерного микропроцессоров в составе реальной вычислительной системы, обеспечившие успешное и эффективное выполнение этапа функциональной верификации.

### **Практическая ценность**

Практическая значимость исследований, выполненных по теме диссертации, заключается в разработке специализированных прототипов четырёхъядерного и восьмиядерного микропроцессоров на основе ПЛИС в пределах выделенного интервала времени от момента определения структуры многоядерных микропроцессоров до момента готовности их RTL-описания. При этом была обеспечена максимальная, с учётом доступной элементной базы, частота эмуляции микропроцессора в прототипе.

Разработанные методы нашли применение в четырёх различных проектах, выполняемых для ЗАО «МЦСТ» в рамках задачи функциональной верификации микропроцессоров: «Эльбрус-2S», «Эльбрус-8C», «МП-Ч», – а также контроллера периферийных интерфейсов «КПИ-2». Применение созданных решений при реализации прототипов позволило за отведённое время успешно завершить этап функциональной верификации RTL-описания указанных изделий, обеспечив минимизацию затрат.

### **Достоверность научных положений и выводов**

Достоверность научных положений и выводов, полученных соискателем, подтверждается теоретическими выкладками, экспериментальными данными и успешным внедрением в процесс функциональной верификации многоядерных микропроцессоров.

### **Личный вклад автора**

Рассматриваемые в диссертации методы, уменьшающие время ввода в эксплуатацию специализированных прототипов на основе ПЛИС и повышающие частоту эмуляции, создавались коллективом разработчиков ОАО «ИНЭУМ им. И.С. Брука» при личном участии автора. Научные положения, рекомендации и выводы сформулированы лично автором.

Специализированные прототипы на основе ПЛИС, реализованные в рамках задачи функциональной верификации RTL-описания многоядерных микропроцессоров, спроектированы автором лично и реализованы коллективом разработчиков в ОАО «ИНЭУМ им. И.С. Брука» и ЗАО «МЦСТ» при личном участии автора. Система разделения RTL-описания микропроцессоров разработана при личном участии автора.

### **Апробация**

Результаты диссертационной работы изложены в ряде печатных публикаций, докладывались на международных и всероссийских научных конференциях в период с 2011 по 2014 гг. В их число входят: молодёжная международная научная конференция «Гагаринские чтения» (Москва, 2011), I-ая всероссийская научно-техническая конференция «Расплетинские чтения» (Москва, 2014), научная сессия НИЯУ МИФИ-2014.

### **Публикации по теме диссертации**

Работы по теме диссертации опубликованы в шести печатных изданиях в период с 2011 по 2014 гг. Из них три в изданиях, рекомендованных ВАК РФ.

### **Структура и объём диссертации**

Диссертация состоит из введения, трёх глав с выводами и заключения. Основная часть работы изложена на 133 страницах, содержит 44 рисунка. Библиографический список составляет 70 наименований.

## ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

**Во введении** дана общая характеристика работы, раскрыта её актуальность, сформулированы основные задачи и цель исследования, определены научная новизна и практическая значимость полученных результатов, а также приведены основные результаты, выносимые на защиту.

**В первой главе** рассматривается задача обеспечения полного тестового покрытия RTL-описания многоядерного микропроцессора при его функциональной верификации, раскрывается проблема повышения скорости тестирования при минимизации стоимости, анализируются существующие способы её решения и обосновывается применение специализированных прототипов на ПЛИС.

Базовым средством функциональной верификации микропроцессоров на уровне регистровых передач является программное моделирование с помощью RTL-симуляторов (напр. ModelSim). Высокая сложность моделей современных многоядерных микропроцессоров приводит к неприемлемо длительному времени проведения этапа функциональной верификации. Для сокращения сроков выпуска новых микросхем требуется применять вспомогательные аппаратные средства, повышающие скорость тестирования. В таблице 1 приведено их сравнение.

Применение для программной симуляции многоядерных серверов на основе процессоров общего назначения (VCS от компании Synopsys) и ускорителей на основе графических процессоров (RocketSim от компании Rocketick) позволяет получить увеличение скорости тестирования. Но существенное её увеличение возможно только путём использования специальной аппаратуры. Её можно разделить на три основные группы.



Таблица 1. Сравнение категорий аппаратных средств функциональной верификации

Тип	Серверы и графические ускорители	Аппаратные ускорители моделирования	Аппаратные эмуляторы	Прототипы на ПЛИС	Специализированные прототипы на ПЛИС
Пример изделия	VCS от Synopsys, RocketSim от Rocketick	Palladium от Cadence	Veloce от Mentor Graphics	HAPS от Synopsys	
Диагностическая информация	Полная	Полная	Подробная	Ограниченная	Ограниченная
Частота моделирования	100 Гц	100 кГц	1 МГц	10 МГц	20 МГц
Максимальный объём эмулируемой логики	600 MGates	2 VGates	1 VGates	144 MGates	750 MGates
Время подготовки аппаратуры	Низкое	Среднее	Среднее	Долгое	Долгое
Габариты	Сервер	Комната	2 x 2 x 3 м	0,6 x 0,4 x 0,4 м	0,6 x 0,5 x 0,2 м
Относительная стоимость необходимой комплектации	1	100-300	20-50	2-4	1-3

*Ускорители программного моделирования* (от англ. hardware accelerator) предназначены для увеличения скорости обработки данных в RTL-симуляторах. Примером такого решения являются Palladium фирмы Cadance, VStation PRO и Veloce фирмы Mentor Graphics. Их реализация основана на использовании микросхем специального применения (от англ. application-specific integrated circuit, ASIC), поэтому стоимость подобных систем крайне высока. Кроме того, при моделировании крупных многоядерных микропроцессоров, габариты аппаратуры существенно растут.

*Аппаратные эмуляторы* (от англ. hardware emulator) – это аппаратные средства, предназначенные для имитации поведения проектируемых микросхем. Они реализованы с использованием большого количества ПЛИС (сотни штук), соединённых друг с другом линиями связи, например ZeVu фирмы Synopsys. Такая организация позволяет сохранять прозрачность эмулируемого RTL-описания микропроцессора путём вывода большого количества диагностической информации, но недостаток такого решения – высокая стоимость.

Более дешёвым решением в области эмуляции микропроцессоров является *прототип на основе ПЛИС* (от англ. FPGA prototype), например HAPS фирмы Synopsys. Здесь количество ПЛИС составляет от единиц до нескольких десятков, что существенно снижает стоимость. Весьма ограниченное количество конфигурационной логики увеличивает сложность перевода RTL-описания для загрузки на прототип. Кроме того, снижается количество диагностической информации, что осложняет локализацию ошибок при функциональной верификации.

Производителями прототипов предлагаются универсальные изделия, которые не учитывают специфику проектируемого микропроцессора: размер блоков RTL-описания, количество логических связей между ними, структуру подсистемы памяти и блоки взаимодействия с окружением микропроцессора. Всё это приводит к существенному снижению эффективности предлагаемых

универсальных изделий. Решением является изменение аппаратуры прототипа с учётом топологической структуры проектируемого многоядерного микропроцессора и его окружения. Такие прототипы имеют более высокую скорость тестирования, что позволяет обеспечить наиболее полное тестовое покрытие в кратчайшие сроки. Поэтому, в четвёртую группу вспомогательных аппаратных средств можно выделить *специализированные прототипы на основе ПЛИС*. Кроме того, специфичность аппаратуры позволяет эмулировать работу многоядерного микропроцессора в реальной вычислительной системе, проводить верификацию операционной системы, программы начального старта, пользовательских приложений и периферийного оборудования. Ввод в эксплуатацию специализированного прототипа на основе ПЛИС осложнен ограниченным временем: начало проектирования зависит от определения топологического устройства микропроцессора, а окончание – от времени готовности его RTL-описания. Следует учесть, что увеличение времени разработки специализированного прототипа на основе ПЛИС в таких условиях может свести на нет все его преимущества, связанные с увеличением скорости тестирования RTL-описания.

**Во второй главе** рассматриваются основные процессы, замедляющие ввод специализированных прототипов многоядерных микропроцессоров на основе ПЛИС в эксплуатацию и ограничивающие частоту эмуляции, предлагаются метод организации передачи данных между ПЛИС и метод повышения частоты эмуляции микропроцессора.

Ограниченность ёмкости и контактов ввода/вывода ПЛИС при создании прототипов многоядерных микропроцессоров вынуждает использовать набор микросхем. В результате появляются следующие задачи:

- разделения RTL-описания на блоки и их адаптация для ПЛИС,
- передача данных между ПЛИС,

- разработка сложной специфичной аппаратуры,
- синхронизация RTL-описания во всех ПЛИС прототипа.

Частота эмуляции прототипа определяется скоростью передачи данных между ПЛИС. Большую роль при этом играет результат разделения RTL-описания, а именно количество логических связей между полученными блоками и время, доступное для их передачи.

Таблица 2. Сравнение решений по организации взаимодействия ПЛИС.

	<b>Физический уровень</b>	<b>Проверка ошибок</b>	<b>Количество передатчиков</b>	<b>Синхронизация ПЛИС друг с другом</b>
<b>Synopsys HAPS</b>	LVDS	Отсутствует	104	Внешняя синхронизация эмуляции по отдельной линии
<b>Intel MCEM (The Many-Core Emulation System)</b>	CDR-трансиверы	Отсутствует	16	Внешняя синхронизация через sPCI шину
<b>IBM Twinstar FPGA system</b>	LVDS	Отсутствует	84	Внешняя синхронизация эмуляции по отдельной линии через маршрутизатор
<b>LIP6, 2FLEXRAS Technologies, CES Lab</b>	LVDS	Передача чётности	140	Внешняя синхронизация эмуляции по отдельной линии. Передача данных синхронизована с частотой эмуляции
<b>ЗАО «МЦСТ» прототип КУБ_ПРОТО</b>	SSTL	Отсутствует	17	Внешняя синхронизация эмуляции по отдельной линии. Передача данных синхронизована с частотой эмуляции

Производители прототипов добиваются сбалансированного разделения, при котором фиксируют интервал передачи данных путём перемещения

логики микропроцессора между блоками. Для передачи данных они используют физические уровни одного типа с применением алгоритмов мультиплексирования, при этом среда передачи данных считается достаточно надёжной, а влияние топологии ПЛИС и эмулированной логики на процесс передачи данных не рассматривается (табл. 2). Такое решение, в совокупности с множеством вариантов коммутации ПЛИС друг с другом, приводит к чрезмерному усложнению при подключении блоков RTL-описания. При этом используется информация о взаимодействии ПЛИС друг с другом при выполнении разделения RTL-описания. В результате происходит циклическое исполнение одних и тех же операций. Рост окружения и размеров блоков RTL-описания, а также количества логических связей между ними осложняет ситуацию. Всё это замедляет ввод прототипа в эксплуатацию.

Поэтому, при росте окружения блоков RTL-описания, их размеров и количества логических связей между ними, повышения эффективности прототипов можно достичь непосредственным применением схем физического уровня ПЛИС разного типа, дополненных логикой группирования пакетов, а также логикой контроля целостности передачи и синхронизации работы ПЛИС прототипа. Использование структуры верхнего уровня микропроцессора для получения сбалансированного разделения позволяет упростить процесс ввода прототипа в эксплуатацию. При этом передача данных и работа прототипа синхронизируются по активному фронту частоты эмуляции. То есть в пределах одной передачи данных отсутствуют связи между комбинационной логикой разных блоков RTL-описания.

С целью унификации подключения эмулируемой логики и генераторов тестовых данных (рис. 1) предлагается определить структуру интерфейса на канальном, сетевом и транспортном уровнях представления модели OSI/ISO,

и реализовывать его аппаратно в виде отдельного модуля в каждой ПЛИС. При этом физический уровень может быть произвольным.

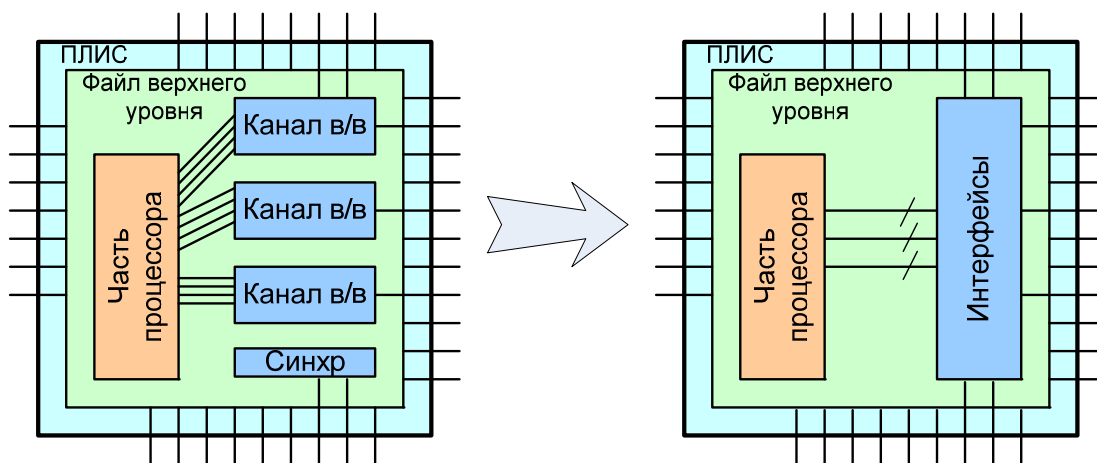


Рис. 1. Схема унификации интерфейса взаимодействия ПЛИС друг с другом

Это позволит распараллелить и упростить работы по введению прототипа в эксплуатацию, в том числе автоматизировать подключение блоков RTL-описания микропроцессора и диагностику функционирования прототипа для оценки стабильности его работы и определения конкретных неработоспособных мест, в случае их наличия. Причём диагностику предлагается проводить путём замены блока RTL-описания на генератор тестовых данных. В результате будут проверены алгоритмы сериализации и десериализации, а также наиболее высокочастотные схемы прототипа.

На рис. 2 показан пример временной диаграммы передачи 24-х битов данных между двумя ПЛИС, сформированных по переднему фронту синхроимпульса эмуляции, по каналам на основе интерфейсов LVDS, передающих по 6 битов данных за такт синхронизации.

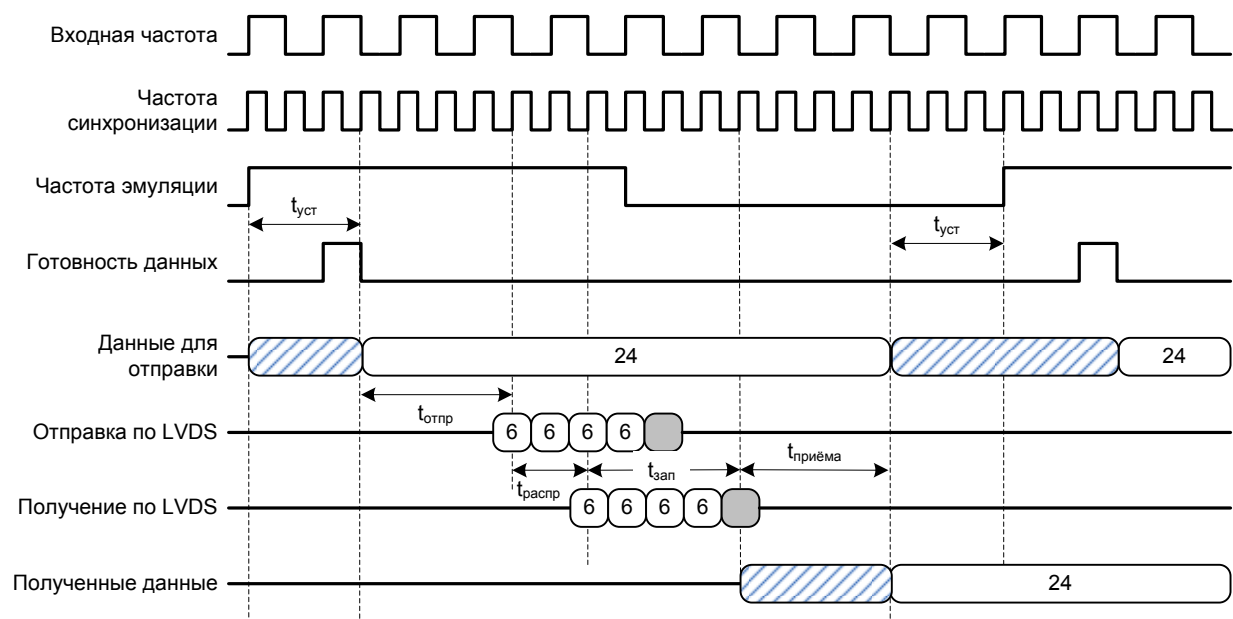


Рис. 2. Временная диаграмма передачи данных между двумя ПЛИС

Частота эмуляции напрямую зависит от последовательности действий и их длительности при организации передачи данных. Поэтому всю служебную обработку, например контроль целостности передачи данных (на рисунке отображён серым), необходимо проводить после передачи всех состояний логических связей. При этом период синхросигнала эмуляции микропроцессора в прототипе определяется по формуле:

$$T_{II} = (2 \cdot D_{уст} + D_{отпр/приёма} + N_{пакетов}) \cdot T_{синхр} = FMR \cdot T_{синхр}, \quad (1)$$

где в тактах синхронизации указаны времена:  $(2 \cdot D_{уст})$  – на распространение данных и их обработку эмулируемой логикой в передающей и принимающей ПЛИС,  $D_{отпр/приёма}$  – параллельно-последовательного преобразования, работы физического уровня передатчика и приёмника и последовательно-параллельного преобразования,  $N_{пакетов}$  – записи в регистр приёмника отправленных данных,  $FMR$  – необходимое для эмуляции одного такта микропроцессора.

Полученная формула справедлива при работе микропроцессора только по переднему фронту синхросигнала в том случае, когда связанная комбинационная логика не требует обратной передачи данных между ПЛИС в пределах того же такта. Работа микропроцессора по обоим фронтам

синхросигнала и необходимость обратной связи в интервале между ними могут уменьшить частоту эмуляции в 4 раза.

На основе вычислений по формуле (1) для различных физических уровней был построен график зависимости частоты эмуляции микропроцессора в прототипе от количества используемых контактов ввода/вывода (рис. 3) и от количества логических связей (рис. 4).

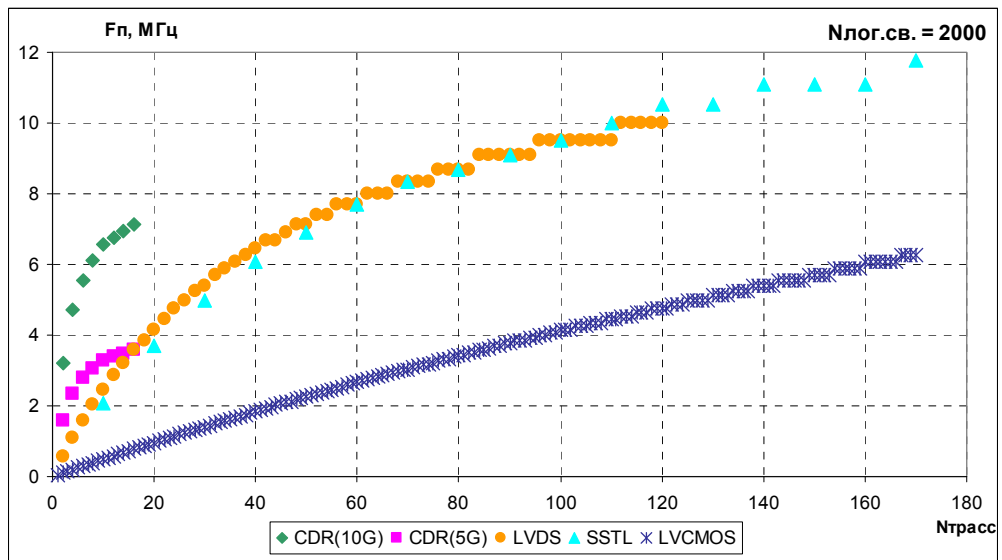


Рис. 3. График зависимости частоты эмуляции на прототипе от количества трасс для различных интерфейсов

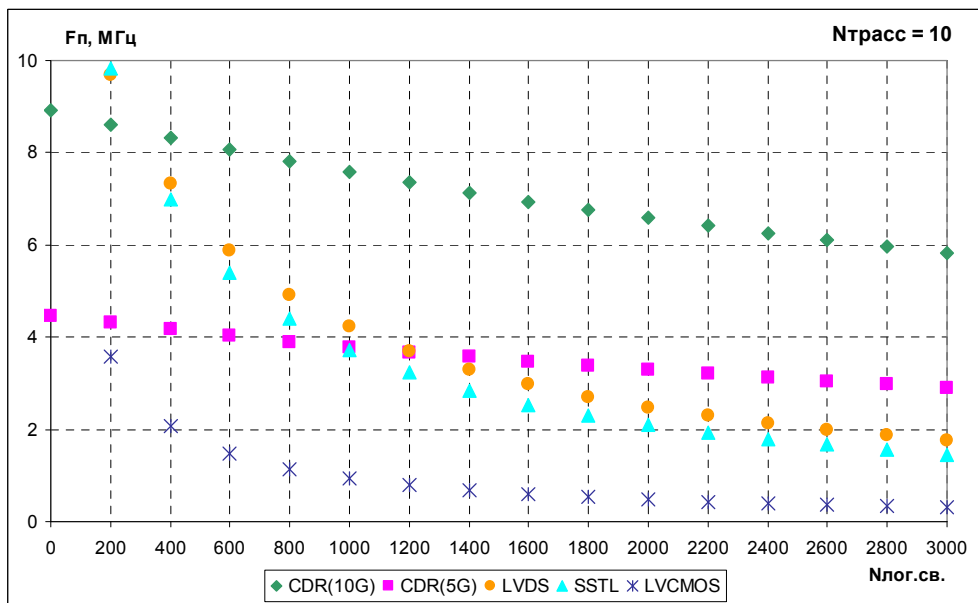


Рис. 4. График зависимости частоты эмуляции на прототипе от количества логических связей для различных интерфейсов



Из графиков видно, что использование интерфейсов ПЛИС типа LVDS и SSTL с минимизированной для передачи данных логикой приводит к более высокой частоте эмуляции за счёт большего количества контактов, однако, CDR-трансиверы лучше сохраняют частоту эмуляции при увеличении количества передаваемых данных.

**В третьей главе** приводится анализ созданных прототипов на основе ПЛИС и предлагается метод самосинхронизации модулей прототипа многоядерного микропроцессора, позволяющий отказаться от передачи синхросигнала между ними по выделенной линии.

В рамках задачи функциональной верификации RTL-описания многоядерных микропроцессоров с применением предложенных методов были спроектированы и реализованы прототипы четырёхъядерного и восьмиядерного микропроцессоров. Параметры созданных прототипов в сравнении с аналогами приведены в таблице 3. Из неё видно, что при увеличении сложности оборудования прототипа в два раза длительность разработки возросла всего в 1,1 раза, а эффективность применения созданных прототипов оказалась выше.

Длительная разработка аппаратуры специализированного прототипа при проектировании очередного многоядерного микропроцессора существенно ограничивает скорость перехода к этапу функциональной верификации. При этом отсутствует возможность наращивания созданных систем и интеграции в них модулей следующего поколения. Одним ограничивающих факторов, является наличие базового синхросигнала, передаваемого от центрального модуля прототипа на все остальные, что приводит к отсутствию унификации и масштабируемости.

Таблица 3. Параметры прототипов микропроцессоров.

Параметр	Прототип «Эльбрус-2S»	Прототип «Эльбрус-8С»	Прототип «Эльбрус-2С+»	Intel MCEM (The Many-Core Emulation System)	IBM Twinstar FPGA system
Эмулируемая система	Эльбрус-2S	Эльбрус-8С	Эльбрус-2С+	Nehalem Core i7	Bluegene/Q
Количество транзисторов эмулированного микропроцессора, млн. шт.	1112	3000	368	774	1470
Количество логических элементов микропроцессора, MGates	~250	~750	~92	~320 -UnCore	~360
Количество процессорных ядер, шт.	4	8	2	4	16
Частота эмуляции, МГц	8,3	9	3	10	4
Используемые ПЛИС	Stratix IV EP4SE820 EP4SE530	Stratix IV EP4SE820	Stratix III EP3S340	Virtex-4 FX140 Virtex-5 LX330 Virtex-4 LX200	Virtex5 LX330
Количество ПЛИС	10	21	11	45	28 - 60
Количество доступных логических элементов ПЛИС, млн. шт.	8,1	17	3,7	8	5,8 - 13
Количество и тип каналов памяти	3 канала DDR3	4 канала DDR3	2 канала DDR2	18 каналов DDR	28 каналов DDR2
Габариты	Стенд СРСІ	5U x 19”	3U x 19”	Стенд СРСІ	Два стенда

Для решения данной проблемы предлагается метод синхронизации. Он позволяет обеспечить синфазную работу блоков RTL-описания микропроцессора во всех ПЛИС без необходимости передачи синхросигнала по выделенной линии между модулями прототипа. Это достигается по

следующему алгоритму. На каждом модуле прототипа располагаются генераторы, настроенные на одинаковую частоту, что обеспечит одинаковые в пределах погрешности интервалы передачи данных. Погрешность обусловлена не одновременным началом генерации, а также небольшими расхождениями характеристик аналоговых цепей. Её компенсация обеспечивается двухсторонней передачей информации между ПЛИС о расхождении времён возникновения фронта частоты эмуляции. Этот процесс происходит после завершения передачи состояний всех логических связей и не влияет на частоту эмуляции. После этого на следующий такт микропроцессора путём задержки на один такт синхронизации происходит корректировка фронта опережающего ПЛИС.

Данный метод позволяет исключить необходимость центрального модуля в прототипе. Это позволит унифицировать соединение модулей между собой. Появляется возможность создания перспективной базовой модульной конструкции. То есть реализация прототипа на основе однотипных, но не унифицированных, модулях, соединения между которыми стандартизованы. Существенно сократить ширину каналов между модулями и обеспечить высокую частоту передачи данных при сохранении частоты эмуляции на приемлемом уровне позволяет применение физических уровней CDR-трансиверов. А использование предложенного интерфейса взаимодействия ПЛИС обеспечит стандартизацию.

Определение базовой модульной конструкции позволит сократить объём проектирования специализированных прототипов на основе ПЛИС до разработки одного модуля, повысить ремонтпригодность, обеспечить интеграцию модулей следующих поколений в текущие прототипы и создавать масштабируемые промышленные конфигурируемые системы.

## ОСНОВНЫЕ РЕЗУЛЬТАТЫ РАБОТЫ

В процессе исследования по теме диссертации автором были получены следующие результаты:

1. Определены узкие места, замедляющие ввод специализированных прототипов многоядерных микропроцессоров на основе ПЛИС в эксплуатацию и ограничивающие их частоту эмуляции.
2. Обеспечена унификация подключения в проекте ПЛИС блоков RTL-описания к различным физическим уровням за счёт выделения последних в отдельный высокочастотный блок, что позволило автоматизировать данный процесс.
3. Создана система автоматизированной диагностики функционирования аппаратуры специализированного прототипа на основе ПЛИС для оценки её работоспособности, определения неисправных мест и контроля корректности работы в процессе эксплуатации.
4. Решена задача максимизации частоты эмуляции за счёт распределения линий связи в аппаратуре специализированного прототипа на основе ПЛИС с учётом структуры многоядерного микропроцессора и типом используемых интерфейсов.
5. Разработаны специализированные прототипы на ПЛИС четырёхъядерного и восьмиядерного микропроцессоров в составе реальной вычислительной системы, обеспечившие успешное и эффективное выполнение этапа функциональной верификации.

### **Список работ, опубликованных по теме диссертации**

1. Юрлин С.В., Бекниязова А.В. Практика создания систем прототипирования на основе программируемой логики: XXXVII Гагаринские чтения: Научные труды Международной молодёжной научной конференции в 8 т. Т. 4 – М.: МАТИ, 2011, С. 126-128.
2. Будылин Ф.К., Полищук И.А., Слесарев М.В., Юрлин С.В. Опыт прототипирования микропроцессоров компании ЗАО «МЦСТ» // Вопросы радиоэлектроники, серия ЭВТ, выпуск 3, 2012, С. 132-142.
3. Бычков И.Н., Рябцев Ю.С., Юрлин С.В. Варианты распределенной сети питания для многоядерных микропроцессоров // Вопросы радиоэлектроники, серия ЭВТ, выпуск 3, 2013, С. 157-168.
4. Юрлин С.В., Бычков И.Н. Прототипы микропроцессоров с архитектурой «Эльбрус»: I Всероссийская научно-техническая конференция «Расплетинские чтения»: Сборник тезисов докладов – М., 2013, С. 216.
5. Слесарев М.В., Юрлин С.В. Определение расчётной частоты эмуляции микропроцессора в прототипе на основе ПЛИС // Вопросы радиоэлектроники, серия ЭВТ, выпуск 3, 2014, с.119-130.
6. С.В. Юрлин Реализация прототипов на основе ПЛИС для функциональной верификации многоядерных микропроцессоров // Научная сессия МИФИ-2014. Аннотация докладов. Т. 3 – М.: МИФИ, С. 65.