

**Бутузов Александр Валерьевич**

**ИССЛЕДОВАНИЕ И ОПТИМИЗАЦИЯ СХЕМОТЕХНИКИ СИСТЕМ  
СИНХРОНИЗАЦИИ ЦИФРОВЫХ УСТРОЙСТВ С ПРЕДЕЛЬНОЙ  
ПРОИЗВОДИТЕЛЬНОСТЬЮ**

Специальность **05.13.15** - Вычислительные машины и системы

**АВТОРЕФЕРАТ**

диссертации на соискание ученой степени  
кандидата технических наук

Москва - 2006



# Общая характеристика работы

## *Актуальность работы*

Возможность достижения высоких частот работы современных микропроцессоров напрямую зависит от характеристик системы синхронизации. Однако, ее проектирование усложняется целым рядом факторов, отражающих современные тенденции в полупроводниковой индустрии:

– Сокращение числа логических уровней в ступени конвейера. При этом вклад триггеров и разбросов фронтов синхросигналов в производительность и энергопотребление системы становится все более существенным.

– Переход к новым технологиям. Уменьшение технологических размеров приводит к росту неточности контроля за размерами структур на кристалле в процессе изготовления, что вызывает увеличение разбросов фронтов синхросигнала, негативно влияющих на производительность. Увеличение степени интеграции приводит к росту флуктуаций напряжения питания и наводок, увеличению нагрузки на систему синхронизации и удлинению пути распространения синхросигнала, что в свою очередь вызывает увеличение разбросов фронтов синхросигнала.

– Увеличение сложности современных микропроцессорных систем, обуславливающее повышение нагрузки на систему синхронизации и усложнение тестового оборудования.

– Жесткие требования на рассеиваемую мощность.

В конечном итоге эти факторы приводят к снижению производительности микропроцессора и к увеличению накладных расходов на организацию синхронизации. Поэтому **актуальной** становится задача поиска новых подходов к проектированию высокоэффективных систем синхронизации. Требуется более сложная методология разработки, которая позволяет оптимизировать системы синхронизации одновременно по двум параметрам - мощности и быстродействию. Так, для статической КМОП схемотехники, которой присуща малая потребляемая мощность, **актуальным** становится нахождение быстродействующих схемотехнических решений. Для

динамической КМОП схемотехники, наоборот, необходимо искать пути сокращения мощности. Кроме того, синхронизация системы динамических вентилях усложняется за счет необходимости обеспечивать корректные режимы функционирования каждого вентиля. Для сокращения потребляемой мощности и потерь производительности, обусловленных синхронизацией, требуется поиск нестандартных решений. Большая сложность разработки систем синхронизации для устройств, построенных с применением динамической логики, приводит к необходимости проведения исследований и разработки методов в области автоматизации проектирования.

### ***Цель исследования***

**Целью** диссертационной работы являлось нахождение эффективных логических и схемотехнических решений для проектирования энергосберегающих систем синхронизации конвейерных устройств как на статической, так и на динамической КМОП логике.

В соответствии с целью диссертационной работы были определены следующие **задачи**:

1. Исследование существующих подходов к проектированию систем синхронизации в современных высокопроизводительных микропроцессорах. Классификация и сравнительный анализ основных решений в поле быстродействие-энергопотребление.
2. Исследование и разработка схемотехники высокопроизводительных энергосберегающих статических триггеров.
3. Разработка методики выбора оптимальных по энергосбережению схемотехнических параметров триггеров при заданной спецификации на быстродействие и энергопотребление.
4. Разработка системы синхронизации без временных потерь для устройств, построенных на динамической логике, и методологии расчета временных соотношений в этой системе.
5. Разработка программного средства для облегчения инженерных расчетов и конструирования систем синхронизации без временных потерь для устройств на динамической логике.
6. Апробация методологии проектирования системы синхронизации без временных потерь на тестовых устройствах.

## ***Научная новизна работы***

Решение поставленных в диссертационной работе задач определяет **научную новизну** исследования, которую, прежде всего, составляют:

1. Разработанная схемотехника энергосберегающих статических триггеров с высоким быстродействием.
2. Методология сравнения схемотехники триггеров в широком поле спецификаций на быстродействие и энергопотребление и способ расчетов оптимальных схемотехнических параметров для заданной спецификации.
3. Методология проектирования и логическая структура системы синхронизации без временных потерь для конвейерных устройств, построенных с применением динамических вентилях.
4. Методология разработки и логическая структура системы синхронизации с шириной рабочего импульса, пропорциональной периоду тактовой частоты, характеризующейся низкими потерями производительности на организацию синхронизации.
5. Схемотехника сумматора, выполненная на динамической логике с использованием высокоэффективной системы синхронизации и малосигнальных цепей переноса.
6. Схемотехника умножителя, основанная на использовании парафазной DCVS-логики (differential cascode voltage switch) и системы синхронизации без временных потерь.

## ***Результаты, выносимые на защиту***

В процессе проведения исследований автором получены следующие **результаты**:

1. Методология проектирования высокоэффективной энергосберегающей системы синхронизации для устройств на статической схемотехнике.
2. Инженерный способ получения характеристик триггеров для практического выбора оптимальной конфигурации и соответствующего ей набора параметров, удовлетворяющих заданным требованиям на мощность и быстродействие.

3. Модификация электрической схемы триггера на базе дифференциального усилителя, которая характеризуется минимальным энергопотреблением при заданной производительности по сравнению с другими типами триггерных схем.
4. Анализ широкого спектра современных решений по организации синхронизации устройств, построенных с применением динамических вентилях. Выделены способы, отличающиеся наибольшим быстродействием и наименьшей мощностью потребления.
5. Логическая и схемотехническая структуры системы синхронизации без временных потерь, при применении которой для функциональных устройств может быть достигнут минимальный период  $6 FO_4$ , где  $FO_4$  – общеизвестная метрика задержки КМОП схем, равная задержке инвертора, нагруженного на 4 себе подобных.
6. Методология расчетов и конструирования системы синхронизации с предельным быстродействием для функциональных устройств на динамической логике.
7. Программное средство для автоматического расчета параметров цепи распространения импульсов восстановления в функциональных устройствах на динамической логике, а также для верификации временных соотношений в их окончательных электрических схемах.
8. Эффективность предложенных систем синхронизации подтверждена экспериментально путем моделирования электрических систем типовых арифметических устройств: сумматора и умножителя.

### ***Практическая ценность***

Усовершенствованная схема триггера на дифференциальном усилителе была использована в расширении библиотеки стандартных ячеек при разработке SPARC-совместимого микропроцессора в ЗАО «МЦСТ». Методология выбора оптимальных схемотехнических параметров была применена для выбора номенклатуры стандартных ячеек в той же библиотеке.

Методология сравнения характеристик мощности и быстродействия статических триггеров была применена в НИР «Поисковые исследования путей создания сверхбольших интегральных схем с пониженным напряжением питания и малой потребляемой мощностью на основе двухзатворных

нанотранзисторов» на этапе «Разработка теоретических основ построения низковольтных БИС на основе нанотранзисторов», проведенном в ИМВС РАН.

Схема сумматора была использована в ходе выполнения ОКР «Многопроцессорный вычислительный комплекс «Эльбрус-3М(11)» в ЗАО «МЦСТ».

Схема умножителя была применена в НИР «Поисковые исследования в обеспечении создания низковольтной и радиационнотойкой КМОП схемотехники для носимой радиоэлектронной аппаратуры военного назначения» на этапах "Исследование и выбор технологии и схемотехники для низковольтных КМОП схем" и "Разработка моделей функциональных устройств. Исследование короткоканальных эффектов. Обзор радиационной стойкости МОП транзисторов", проведенном в ИМВС РАН.

### ***Личный вклад автора***

Методология сравнения разных схемотехник триггеров в поле быстродействие-энергопотребление и методика совместной оптимизации этих характеристик разработаны лично автором. Усовершенствование схемы триггера на дифференциальном усилителе предложено лично автором. Исследование, методика расчетов и конструирования систем синхронизации, а также программное средство для облегчения разработки устройств, построенных с применением динамических вентилях, разработаны лично автором.

Схемотехника и топология сумматора разрабатывалась в ЗАО «МЦСТ» коллективом разработчиков при личном участии автора. Схемотехника умножителя разработана лично автором.

### ***Апробация***

Результаты диссертационной работы докладывались на всероссийских и вузовских научных конференциях:

1. 44-ая научно-техническая конференция МФТИ, Москва, 2001
2. 46-ая научно-техническая конференция МФТИ, Москва, 2003
3. Открытый конкурс на лучшую работу студентов по естественным, техническим и гуманитарным наукам в вузах Российской Федерации, Москва, 2002. Работа-победитель.

4. XX Научно-техническая конференция в/ч 03425, Москва, 2002

### ***Публикации***

По теме диссертации опубликовано 6 работ.

### ***Структура и объем работы***

Диссертация состоит из введения, пяти глав и заключения. Диссертация содержит 181 страницу текста, 88 иллюстраций, 12 таблиц и приложение на 10 страницах. Список литературы и ссылок на ресурсы *Internet* насчитывает 101 наименование.

## **Содержание работы**

Во **введении** формулируются цель исследования, актуальность работы, её практическая ценность.

В **первой главе** определены основные понятия, необходимые для изложения результатов диссертационной работы. Проведен обзор схемотехники триггеров для традиционных систем синхронизации, используемых в устройствах на статической КМОП логике. Сформулированы основные положения методологии разработки высокоэффективных элементов синхронизации с учетом оптимизации двух параметров – быстродействия и энергопотребления.

Цель методологии – определить оптимальную электрическую схему триггера с соответствующим ей набором параметров для заданной спецификации на мощность и/или быстродействие, учитывая существующий компромисс между этими характеристиками. Исходным этапом методологии является определение аргументов и функций в поле оптимизации. Аргументами выбраны: конфигурация триггера (его схемотехническая структура), схемотехнические размеры конфигурации и напряжение питания. Отметим, что это самое общее поле аргументов из представленных в литературе. Кроме этого при выборе конфигурации триггера учитывалась возможность заведения в электрическую схему тестирующей логики. В качестве функций выбраны характеристики быстродействия и мощности. Показано, что корректной характеристикой быстродействия является точка минимума зависимости



задержки вход-выход от времени предустановки. Корректной характеристикой энергопотребления является взвешенная сумма энергий переключения триггера при различных последовательностях входных векторов. Конечным этапом методологии является определение критерия оптимизации при имеющемся компромиссе быстродействия и энергопотребления.

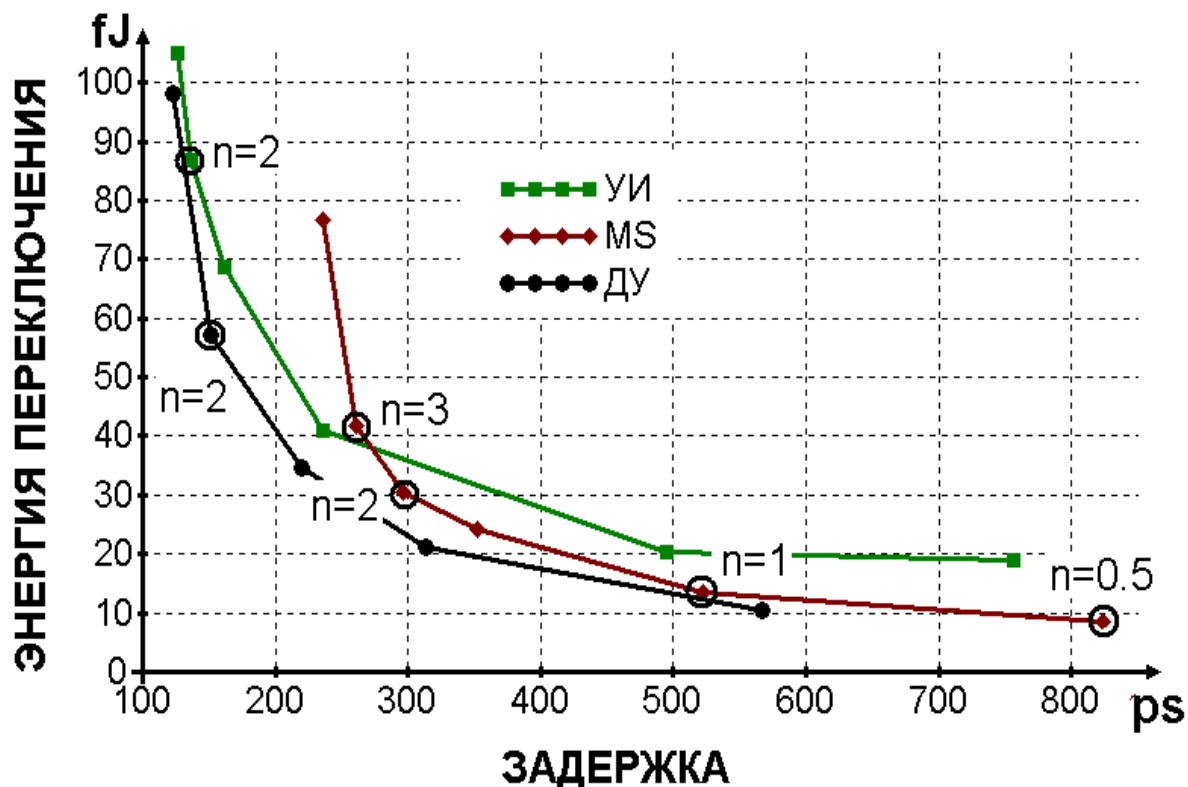
В зависимости от начальных спецификаций, как правило, определяемых целевым применением схемы, критерии оптимизации могут различаться. Поэтому в работе рассмотрено семейство критериев, и в качестве основополагающей характеристики для каждой конфигурации триггера выбрана кривая в координатах энергопотребление-быстродействие, задаваемая следующим условием: каждая точка кривой – точка максимально возможного быстродействия данной конфигурации при заданном энергопотреблении. В работе показано, что эта же кривая может быть задана эквивалентным условием – множество точек с минимально возможным энергопотреблением при заданном быстродействии. Характеристические кривые позволяют сравнивать различные конфигурации триггеров в широком диапазоне целевых энергопотребления или быстродействия. Однако, на практике получить характеристическую кривую в соответствии с заданными определениями сложно, так как требуется подбор параметров для фиксированного значения энергопотребления или быстродействия, в то время как при изменении параметров меняются обе функции. В работе предложен инженерный способ быстрого и эффективного получения характеристической кривой для практического выбора оптимальной конфигурации и соответствующего ей набора схемотехнических параметров на основе эквивалентного определения этой кривой. Показано, что характеристическая кривая может быть построена на основе семейства обобщенных критериев - минимизации произведений  $ED^n$  для нескольких  $n$ . Здесь  $E$  – характеристика энергопотребления,  $D$  – характеристика быстродействия, а  $n$  – параметр из множества неотрицательных чисел, однозначно соответствующий определенной точке характеристической кривой. Отметим, что частные критерии оптимизации, такие как минимизация  $ED$  (фактически  $ED^1$ ), минимизация  $ED^2$  достаточно часто используются на практике, и чем выше показатель степени  $D$ , тем выше приоритет быстродействия перед энергопотреблением в задаче совместной оптимизации. Для любой точки характеристической кривой существует  $n$ , при котором  $ED^n$

минимально. Таким образом, чтобы определить вид характеристической кривой, следует задаться несколькими значениями  $n$  (в работе показано, что достаточно 3-4 значений) и найти точки, в которых соответствующие произведения  $ED^n$  минимальны. Остальные точки характеристической кривой могут быть получены интерполированием найденных.

По разработанной методике были исследованы следующие конфигурации D-триггера: общеизвестный триггер на двух защелках (MS-триггер), триггер с встроенным генератором узкого синхроимпульса (УИ), триггер на основе дифференциального усилителя (ДУ). При этом каждая из конфигураций была модифицирована для возможности подключения цепи сканирования, а две последних конфигурации и для возможности интеграции дополнительной логической функции. В две последние конфигурации были введены схемотехнические усовершенствования, позволившие улучшить и скоростные, и энергосберегающие характеристики исходных конфигураций. Полученные характеристические кривые для каждой конфигурации представлены на рис. 1. Они соответствуют стандартному значению активности на входах, равному 0.5. Данный график позволяет сделать несколько важных выводов:

1. Конфигурация на основе дифференциального усилителя оказывается энергетически предпочтительней стандартной MS-структуры в широком диапазоне спецификаций на быстродействие, что опровергает общепринятое мнение лишь о высоких скоростных характеристиках ДУ-структуры (для коэффициентов активности  $> 0.5$ ).
2. Если имеется точная спецификация на быстродействие или мощность, на основе графика можно выбрать наиболее предпочтительную конфигурацию с оптимальным набором схемотехнических параметров.
3. Если стоит задача оптимизации по критерию  $ED^n$  для заданного  $n$  (например для  $n=2$  -  $ED^2$ ), на основе графика можно выбрать наиболее эффективную структуру. Так, на рис. 1 отмечены значения  $n$  в соответствующих точках.
4. По крутизне графика можно судить об эффективности перехода к более агрессивной спецификации – например о «цене» повышения требования к быстродействию.

5. Для каждой конфигурации просматриваются асимптотические значения быстродействия и энергопотребления (соответствующие  $n=0$ ,  $n=\infty$ ), что также является полезной характеристикой конфигурации.



**Рис. 1.** Характеристические кривые для различных конфигураций триггеров: MS -триггер на двух защелках, УИ -триггер со встроенным генератором узкого синхроимпульса, ДУ - триггер на основе дифференциального усилителя.

В работе представлены характеристические кривые для меньшего набора параметров (например, при фиксированном напряжении питания) и для различных активностей переключений, которые могут быть использованы для соответствующих оптимизаций.

**Вторая глава** посвящена исследованию систем синхронизации для устройств, построенных с применением динамической логики. Отличительной особенностью таких систем является необходимость синхронизации не только триггерных элементов, но и каждого вентиля в цепи, так как динамические вентили функционируют в попеременно включающихся режимах вычисления и восстановления. Номинально это приводит к увеличению накладных расходов на организацию синхронизации как по быстродействию, так и по мощности.

Классическое решение по организации синхронизации устройств на динамической схемотехнике было применено в микропроцессоре «Альфа» фирмы DEC. В соответствии с режимами функционирования вентили разбиваются на полутактовые ступени с триггерными станциями на их границах. Это позволяет скрыть время предзаряда вентилей за временем вычисления соседней полутактовой ступени.

Основными факторами, ограничивающими быстродействие классической схемы являются:

- Триггерные ступени в каждом полутакте.
- Разброс фронтов синхросигнала (для каждого полутакта) и разброс скважности.
- Увеличение задержки каждого логического вентиля из-за наличия дополнительного синхротранзистора, позволяющего вести одновременный сброс всей ступени. Результаты моделирования показывают, что в среднем при использовании 2-ух, 3-ех, 4-ех-входных схем из-за наличия синхротранзистора задержка вырастает на 20%.

Дополнительный накладной расход может внести «неидеальное» разбиение системы на полутактовые ступени – тогда максимальная частота будет определяться самой длинной из полутактовых ступеней из-за невозможности заема времени («жесткие» границы полутактовых ступеней).

Заведение синхросигнала на все вентили схемы приводит к высокой мощности усилителей синхросигнала, которая может достигать до 40% всей мощности микропроцессора. Одновременность переключения большого количества вентилей при смене фаз приводит к большим пиковым токам по шинам земли/питания.

Частичное устранение указанных недостатков достигается в решении фирмы IBM, которая предложила организовать синхронизацию по методике задержанного сброса (delayed-reset), когда импульс сброса, задерживаемый цепочкой инверторов, проходит последовательно по всем ступеням логики аналогично цепи вычислений. Тогда необходимость в дополнительном хранении информации и промежуточной защелке в середине тактовой ступени отпадает, так как время прихода импульса сброса выровнено в соответствии с задержкой вычисления последующего вентиля. Несмотря на снижение накладных расходов по сравнению с классической схемой, в такой системе

остаются потери, связанные с разбросами фронтов синхросигналов и наличием входных триггеров. Недостатками также являются отсутствие возможности заема времени для соседних ступеней конвейера и ограничение на минимальную частоту.

Дополнительные решения по оптимизации быстродействия были применены в микропроцессорах фирмы Интел и прототипе заказного варианта микропроцессора Эльбрус. Последовательный сброс вентиля организован внутри полутактовых ступеней. Каждая полутактовая ступень предваряется вентилем с синхротранзистором, выполняющим функцию, аналогичную защелке в устройствах на статической логике. Это с одной стороны обеспечивает корректное продвижение данных по конвейеру, с другой стороны дает возможность «прозрачного» прохождения логического сигнала через границы полутактовых ступеней. Также использована методика автоматического восстановления исходного состояния (self-reset), когда импульс сброса генерируется автоматически логической схемой по окончанию вычисления. К недостаткам этих схем следует отнести:

- необходимость разводки по кристаллу двух фаз глобального синхросигнала;
- дополнительную нагрузку, которую схемы сброса представляют для полезных сигналов.

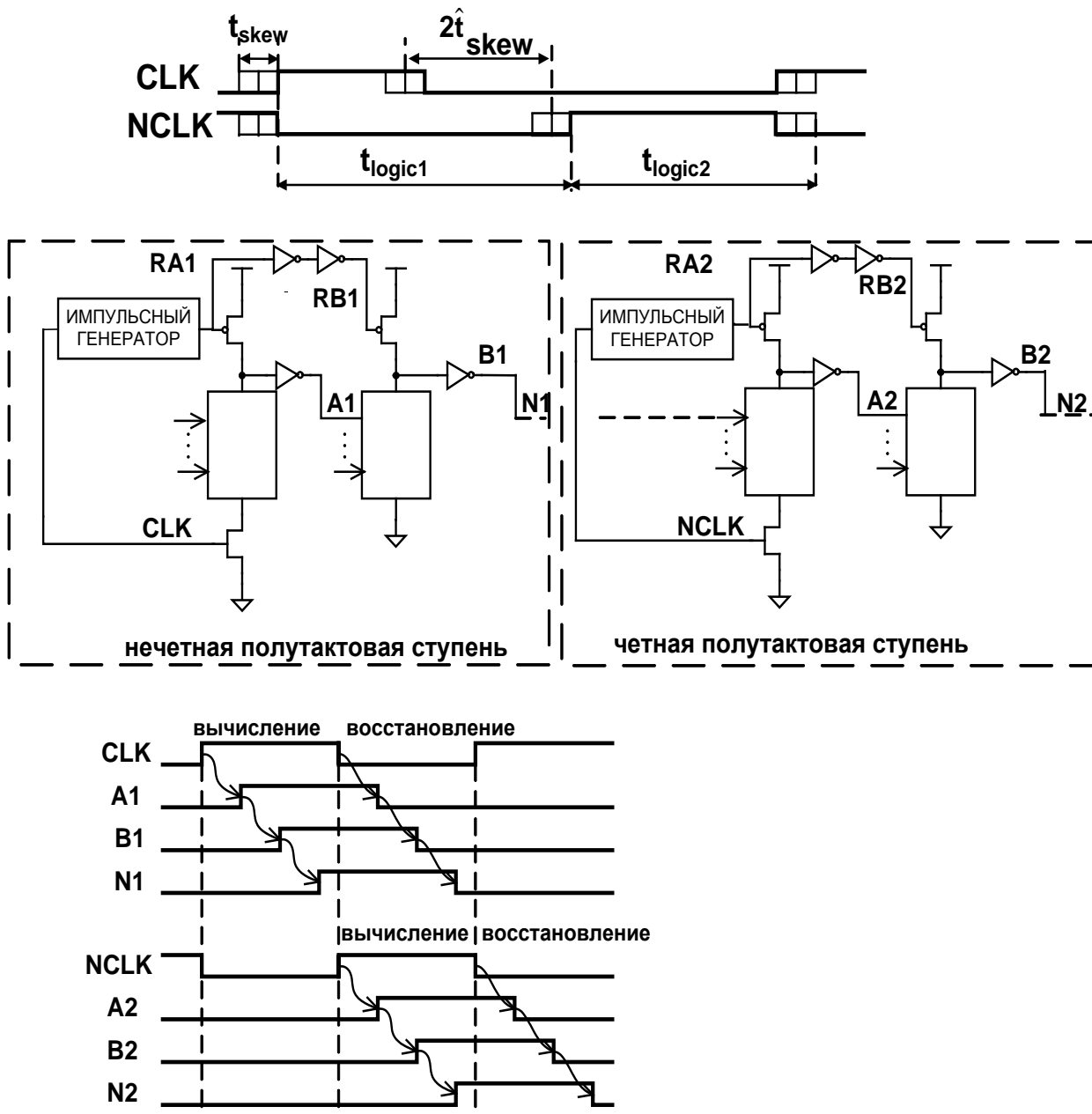
В работе рассмотрено усовершенствование данной схемы, где внутри полутактовой ступени восстановление происходит по методике задержанного сброса. Это повышает быстродействие, а также экономит мощность за счет устранения дополнительной нагрузки на вспомогательные схемы генерации импульсов восстановления. Структура такой системы синхронизации представлена на рис. 2.

Во второй главе рассмотрены также другие варианты реализации систем синхронизации, недостатки которых сводятся к недостаткам приведенных основных систем. Все рассмотренные решения классифицированы по методу организации функции хранения информации и методу организации восстановления. Помимо быстродействия для каждой системы синхронизации проанализированы дополнительные аспекты, такие как:

- ограничения по минимальной задержке;
- возможность заема времени;

- ограничение на минимальную частоту;
- мощность.

В таблице 1 приведено минимально достижимое значение такта, а также оценочное значение относительной мощности для основных систем синхронизации на примере конвейерной системы с 10-ю уровнями логики внутри конвейерной ступени. (10 FO4, где FO4 – задержка инвертора, нагруженного на 4 себе подобных). Можно отметить, что среди стандартных систем синхронизации и по быстродействию, и по мощности предпочтительна усовершенствованная система синхронизации с разбиением на полутактовые



**Рис. 2.** Усовершенствованная система синхронизации с разбиением на полутактовые ступени без триггеров.

**Таблица 1.** Сравнительные характеристики быстродействия и энергопотребления систем синхронизации для устройств, построенных на динамической схемотехнике.

	T <sub>min</sub> , FO4	E, отн. ед.
Стандартная домино-логика	20	1
Метод задержанного сброса	13.4	0.72
Метод полутактовых ступеней (по методике прототипа микропроцессора «Эльбрус»)	11.4	0.64
Метод полутактовых ступеней (по методике микропроцессора «Intel»)	11.8	0.68
Усовершенствованный метод полутактовых ступеней	10.4	0.61
Метод домино, допускающий фазовые разбросы	12	0.75
Система с предельными характеристиками производительности	6-10	0.57

ступени (рис. 2).

В **третьей главе** диссертации изложены результаты исследования систем синхронизации с предельными характеристиками быстродействия.

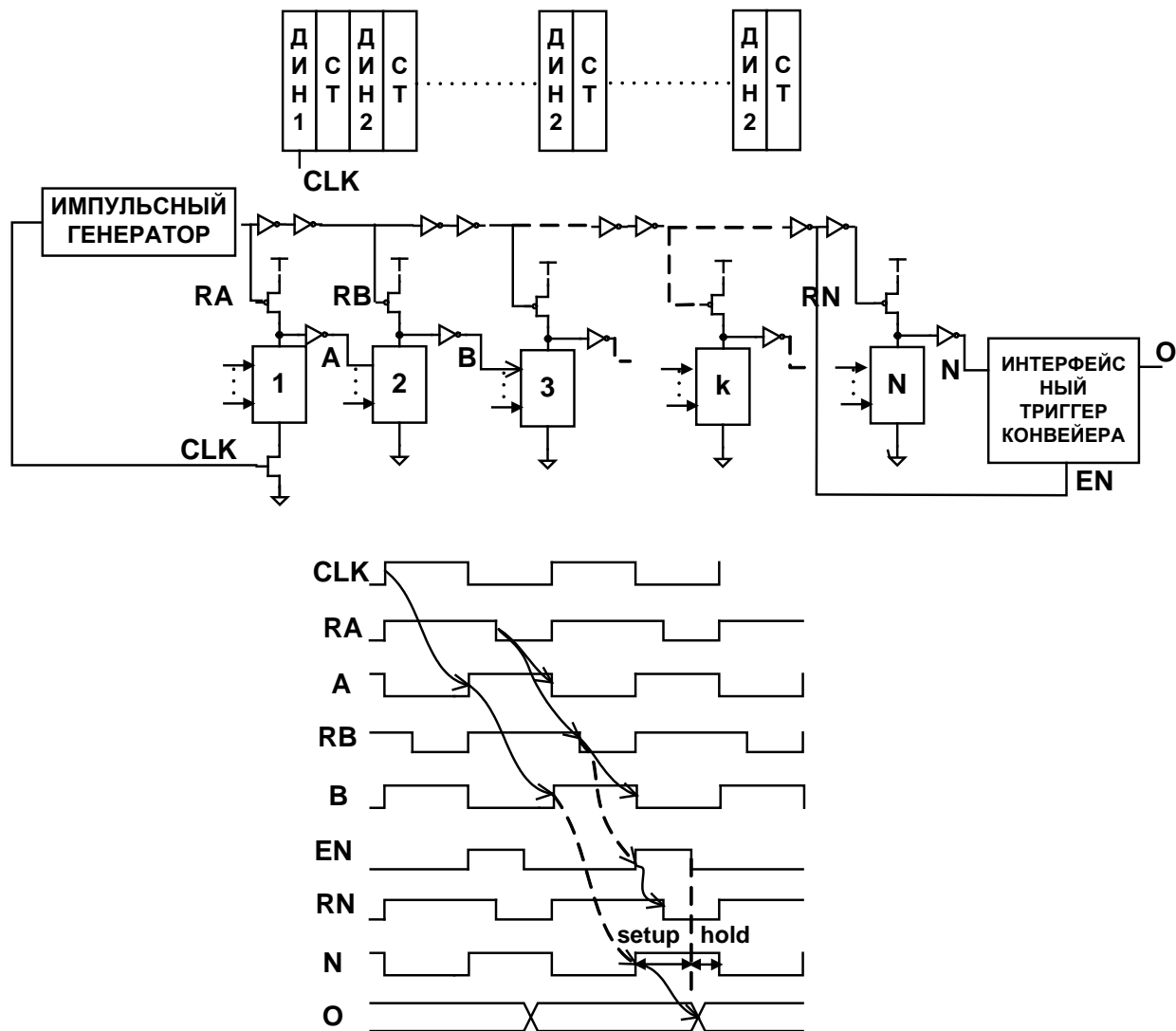
Основными ограничивающими факторами по достижению предельного быстродействия являются:

- наличие триггеров;
- использование синхротранзисторов в логических вентилях;
- наличие цепей генерации импульсов автоматического восстановления.

Триггеры из схемы можно исключить, если функцию хранения «переложить» с триггеров на динамические узлы самих вентилях. Однако, триггеры (и вентили с дополнительными синхротранзисторами) обеспечивают вторую функцию – функцию выравнивания задержек «быстрых» и «медленных» сигналов для корректного продвижения информации по конвейеру. Таким образом, в предельном случае, когда в конвейерной системе все вентили только логические, а триггеры и синхротранзисторы не

используются, требуются дополнительные меры для исключения гонок. Они рассмотрены в 3-ей главе диссертации. Для уменьшения нагрузки на цепи формирования импульсов восстановления, в системе с предельным быстродействием предлагается применить методику задержанного сброса.

Структура многотактной динамической системы с предельным быстродействием представлена на рис. 3. Вычисления инициируются по



**Рис. 3.** Схема волнового конвейера с предельным быстродействием.

приходу положительного уровня синхросигнала на первый синхронный вентиль (сигнал CLK). Волна вычислений далее распространяется по логической цепочке вниз (узлы A, B, .. N), при этом в общем случае логическая цепь многотактная. Дополнительные транзисторы синхронизации и триггеры не используются. Это возможно, если задержка волны вычисления (узлы RA, RB, ..., RN) рассчитана по максимальной задержке соответствующего вентиля цепи с учетом времени прихода входных сигналов, так что каждый вентиль



надежно переключается до сброса его входов. Например, сигнал А сбрасывается сигналом RA только после переключения вентиля 2. Таким образом, функцию хранения обеспечивает сам динамический вентиль, и достигается минимально возможная задержка вычислений, ограниченная лишь временем срабатывания цепочки логических вентилях без дополнительных синхротранзисторов и триггеров.

Ширина импульса сброса выбирается минимально необходимой для восстановления самого «медленного» вентиля в цепи. При этом в критической цепи вычислений сразу по окончании фазы восстановления данного вентиля, на его вход подаются следующие входные сигналы (например, задний фронт сигнала В на рис. 3 совпадает с передним фронтом сигнала А). Таким образом обеспечивается максимальная частота работы системы и достигается предельная пропускная способность конвейера.

В применении к примеру конвейерной системы с 10-ю уровнями логики внутри ступени, организация синхронизации таким образом не приводит к временным накладным расходам на синхронизацию:

$$T=10 FO4$$

Так как глобальных синхросигналов внутри схемы не используется, мощность с учетом мощности драйверов синхросигнала для такой системы минимальная из систем, применяемых в современных микропроцессорах и рассмотренных в работе (см. таб. 1).

В работе показано, что максимальная частота такой системы может быть дополнительно повышена в соответствии с разницей задержек по максимальной и минимальной цепям, и минимальный период понижен до значения  $6FO4$  в предположениях, использованных при построении таблицы 1. Действительно, для корректного функционирования системы динамических вентилях требуется выполнить следующие условия:

- Требование на достаточную ширину импульса рабочего сигнала (для переключения последующего вентиля), которое в свою очередь требует выполнения соотношения по самому раннему приходу импульса восстановления.

- Требование на достаточную ширину импульса восстановления (для переключения данного вентиля в исходное состояние).

- Требования по отсутствию пересечений волны вычислений и волны восстановления, являющиеся обобщающими аналогами на время удержания для схем на статической логике.

В работе показано, что при выполнении перечисленных требований минимально достижимый период синхросигнала для системы с предельным быстродействием пропорционален разности суммарной максимальной и минимальной задержек вычисления:

$$T^{\min} \sim (t_{logic}^{\max} - t_{logic}^{\min})$$

при условии превышения задержек вычисления над задержками восстановления, а в обратном случае разности суммарной максимальной задержки восстановления и минимальной задержки вычисления:

$$T^{\min} \sim (t_{reset}^{\max} - t_{logic}^{\min})$$

На рис. 4 изображен график областей функционирования системы на динамической схемотехнике в координатах {суммарная задержка восстановления, период синхросигнала} при двух значениях суммарной задержки вычисления. Как видно, максимальная частота работы достигается в области малых задержек восстановления. При их увеличении, начиная с определенного значения (равного суммарной задержке вычисления), происходит пропорциональный рост минимального периода синхросигнала. Поэтому оптимальной областью функционирования является область левее точки равенства задержек по цепи восстановления и вычисления. Если учесть, что задержки вычисления и восстановления как правило не независимы, и большие задержки восстановления соответствуют меньшим задержкам вычисления, получим, что фактически точкой предельного быстродействия является точка равенства задержек вычисления и восстановления. В ней задержки восстановления имеют максимально допустимую величину при сохранении предельной производительности.



Рис. 4. Временные области функционирования динамической конвейерной системы.

На диаграмме рис. 4 отмечена еще одна точка, в которой минимальный период равен максимальной задержке по цепи вычисления. Это соотношение характерно для классического случая, когда максимальная частота работы ограничена максимальной задержкой по критическому пути (например, система с разбиением на полутактовые ступени). Отметим, что в общем случае, суммарная задержка по цепи вычисления занимает несколько тактов. Однако, вид графика рис. 4 при этом не меняется, так как все величины ( $T_0$ ,  $T_{\text{reset}}$ ) соответственно масштабируются.

Необходимо отметить, что классическая система имеет такие преимущества, как высокую надежность и контролепригодность за счет пропорциональности ширины рабочего импульса периоду тактовой частоты и большее количество триггеров, обуславливающее увеличение числа потенциальных «наблюдаемых» точек в скан-цепочках.

В работе представлена методика расчетов и конструирования систем синхронизации для реальных устройств на динамической логике как при

применении системы без временных потерь, так и при использовании усовершенствованной системы с разбиением на полутаковые ступени.

В заключении третьей главы проведен анализ влияния разбросов технологических параметров на быстродействие систем синхронизации без временных потерь и показано, что их вклад в ограничение производительности значительно меньше вклада разбросов синхросигналов, характерных для классических систем. Причиной этого является то обстоятельство, что разбросы по цепям вычисления-восстановления можно рассматривать как вариации параметров в двух локальных цепях, тогда как разброс фронтов синхросигнала характеризует глобальный разброс фронтов синхросигнала по кристаллу.

**Четвертая и пятая главы** посвящены практической реализации предложенных систем синхронизации для устройств, построенных с применением динамических вентилях. Процесс проектирования устройств, особенно характеризующихся нерегулярной структурой межразрядных связей, достаточно сложен, так как отсутствие триггеров и последовательность восстановления требуют выполнения ряда упомянутых выше временных соотношений для каждого вентиля схемы. Для облегчения процесса разработки высокоэффективных систем синхронизации с последовательным сбросом и избежания ошибок в электрических схемах было разработано программное средство, представленное в **четвертой главе**.

– Первая часть программного средства предназначена для автоматического расчета временных параметров системы синхронизации: расчета предельно достижимой максимальной частоты, задержек в цепи синхросигнала, ширины синхроимпульсов и сигналов сброса.

– Вторая часть программного средства является верификатором и служит для проверки правильности временных соотношений в готовой системе с «реальными» значениями задержек по цепям восстановления и сброса, которые могут быть получены с помощью моделирования электрической схемы. В качестве графического интерфейса предусмотрена возможность использования программы Modelsim.

**Пятая глава** освещает апробацию разработанных систем синхронизации на тестовых устройствах. Система с разбиением на полутаковые ступени и минимальными потерями быстродействия была применена при разработке 32-разрядного целочисленного сумматора. Схемотехника основных блоков

подробно представлена в работе. Отличительной особенностью сумматора является использование дифференциальных схем с малым перепадом для дополнительного повышения быстродействия и снижения мощности.

Для синхронизации сумматора применяется методика разбиения на полутактовые ступени. Критическая цепь логических блоков с указанием задержек и устройства синхронизации представлены на рис. 5. Каждый из двух усилителей синхросигнала обслуживает устройства соответствующей полутактовой ступени. В схеме сумматора используются широкие импульсы вычисления и сброса, что дает возможность за счет снижения частоты и соответствующего уширения импульсов реализовать режим отладки. Однако, задержка появления сигнала на выходе сумматора зависит от частоты работы системы, так как вторая полутактовая ступень запускается от положительного фронта отрицательной фазы синхросигнала. Это затрудняет использование сумматора как макроячейки в полузаказных разработках, так как требует специального формата характеристики, не поддерживаемого современными САПР. Для устранения этого недостатка применена специальная схема синхроусилителя, стоящего на входе второй полутактовой ступени (рис. 5). Задача синхроусилителя при включении соответствующего режима формировать задержанный на полпериода максимальной частоты прямой синхросигнал (DELAYED LCLK), который затем подается на схемы второй полутактовой ступени вместо инверсного синхросигнала. В результате в таком режиме задержка сумматора не зависит от частоты работы. При этом величина логического перепада на малосигнальных схемах оказывается фиксированной и не меняется со снижением частоты.

На технологии 0.13 мкм TSMC LV ( $V_{dd}=1.0V$ ) была достигнута предельная частота работы 1.5 ГГц. Мощность на этой частоте составила 7 мВт. Занимаемая площадь 6000 мкм<sup>2</sup>. По быстродействию сумматор на 30% превосходит аналог, разработанный на традиционной динамической схемотехнике (примененный в микропроцессоре «Альфа»). Дополнительный выигрыш по энергопотреблению получен за счет применения схем с малым

логическим перепадом. Сравнительные характеристики сумматоров представлены в таб. 2.

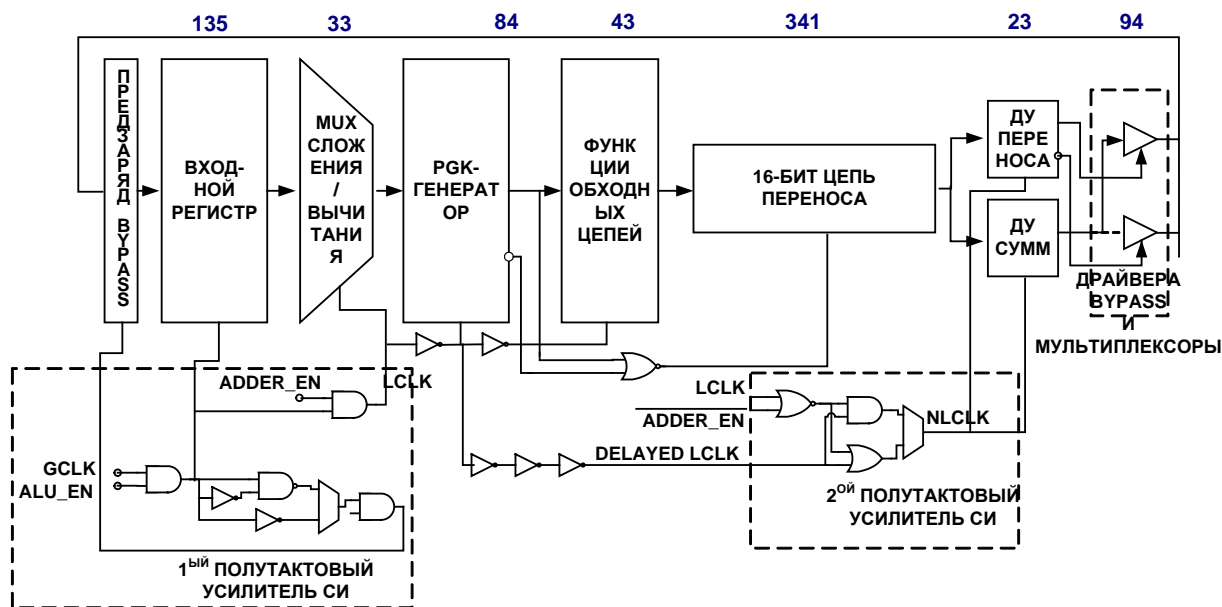


Рис. 5. Схема синхронизации сумматора.

Далее в пятой главе рассмотрена реализация умножителя, как типового многотактного устройства, для апробации методики синхронизации с предельными характеристиками быстродействия.

Схемотехника умножителя разработана на дифференциальной динамической логике (DCVS) и подробно рассмотрена в работе. Классическая методика синхронизации позволяет получить для схемы умножителя предельную частоту 1.15 ГГц для двухтактной длительности операции. При этом максимальная задержка по критическому пути составляет 1.3 нс ( $T=85^{\circ}\text{C}$ , процесс ТТ,  $V_{dd}=5\%$ ). Применение системы синхронизации с разбиением на полутактовые ступени позволяет повысить частоту до 1.5 ГГц за счет устранения накладных расходов на триггеры и разброс фронтов синхросигнала. Использование «предельной» системы синхронизации позволяет поднять частоту умножителя еще на треть (до 1.95 ГГц), которая определяется разницей задержек по максимальным и минимальным путям и учитывает дополнительный «запас» по разбегу цепей вычисления и восстановления. При этой частоте латентность умножителя равна трем тактам. В таблице 3 приведены сравнительные характеристики умножителя с прототипом, построенным на классической «домино» логике. Помимо выигрыша в

быстродействию, отметим снижение энергопотребления (мощности на единицу частоты) за счет сокращения нагрузки на синхросигнал и исключения триггеров.

**Таблица 2.** Сравнительные характеристики сумматора.

	Сумматор, рассмотренный в работе	Сумматор на стандартной «Домино» логике (аналог примененного в микропроцессоре «Альфа» )
Технология	0.13 $\mu$ TSMC LV 1.0V 8 lm	0.13 $\mu$ TSMC LV 1.0V 8 lm
Задержка, нс (T=85C, процесс ТТ Vdd-5%)	0.5	0.8
Максимальная частота, ГГц (типовые условия функционирования)	1.5	1.15
Площадь, мм <sup>2</sup>	0.006	-
Количество транзисторов	5000	4500
Мощность на максим. частоте, Вт	0.007	0.006

В заключении главы приведены результаты апробации программного средства для проектирования и верификации высокопроизводительных систем синхронизации на примере полной электрической схемы умножителя 8x8.

**Таблица 3.** Сравнительные характеристики умножителей.

	Разработанный умножитель	Умножитель на стандартной «домино»-

		логике
Технология	0.13 $\mu$ TSMC LV 1.0V 8 lm	0.13 $\mu$ TSMC LV 1.0V 8 lm
Латентность	3 такта	2 такта
Максимальная частота, ГГц (типичные условия функционирования)	1.95	1.15
Площадь, мм <sup>2</sup>	0.036	0.02
Количество транзисторов	38000	34000
Мощность на максим. частоте, Вт	0.03	0.025

## Выводы по результатам диссертации

Основной результат диссертационной работы заключается в разработке методологии проектирования высокоэффективных систем синхронизации для устройств, построенных как на статической, так и на динамической КМОП схемотехнике.

В процессе исследования автором были получены следующие **результаты**:

1. Разработана методология построения высокоэффективной системы синхронизации для устройств на статической схемотехнике.
2. Предложен инженерный способ быстрого и эффективного получения характеристик схемотехники триггера для практического выбора оптимальной конфигурации и набора параметров, удовлетворяющих заданным требованиям по мощности и быстродействию.
3. Предложено схемотехническое решение энергосберегающего триггера. Достигнуто 30% увеличение быстродействия при равных энергиях переключения по сравнению со стандартной схемой MS-триггера.
4. Проанализирован широкий спектр современных решений по организации синхронизации устройств, построенных с применением динамических



вентилей. Выделены способы, отличающиеся оптимальным быстродействием и мощностью потребления.

5. Предложена логическая и схемотехническая структура системы синхронизации без временных потерь. Показано, что при выполнении ряда временных соотношений, при применении данной системы синхронизации может быть достигнут минимальный период  $6 FO_4$  при стандартной длине современных конвейеров  $10FO_4$ , где  $FO_4$  – общеизвестная метрика задержки КМОП схем, равная задержке инвертора, нагруженного на 4 себе подобных.

6. Разработана методология расчетов и конструирования системы синхронизации с предельным быстродействием для функциональных устройств на динамической логике.

7. Разработано программное средство для облегчения инженерной работы по проектированию высокопроизводительных систем синхронизации и верификации временных соотношений в окончательной электрической схеме.

8. Разработаны тестовые устройства на динамической логике с применением предложенных систем синхронизации. Для целочисленного сумматора 32 получен 30% прирост быстродействия по сравнению с прототипом, построенным на стандартной домино-логике. Дополнительно выигрыш в мощности составил 20% за счет применения малосигнальных схем в цепях переноса. Для умножителя достигнуто 60% повышение частоты при увеличении мощности на 10% по сравнению с прототипом, построенным на стандартной домино-логике.

## **Публикации по теме диссертации**

1. А. Бутузов «Быстродействующий целочисленный умножитель для современных микропроцессоров,» Сборник научных трудов ИМВС РАН, вып.2, 1999, стр. 82-92.

2. А. Бутузов, А. Подлесный, «Быстродействующий 64-разрядный сумматор для микропроцессора “Е2К”, Информационные технологии и вычислительные системы, N1, 2001, стр. 34-42.

3. А. Бутузов, “Эффективная методология разработки синхроэлементов для энергосберегающих систем,» Сборник тезисов 46-ой научной конференции МФТИ, 2003, стр. 47.

4. А. Бутузов “Исследование возможностей применения системы самосинхронизации для достижения предельного быстродействия умножителя”, Сборник тезисов 44-ой научной конференция МФТИ, 2001, стр. 49.
5. А. Бутузов “Методология разработки высокопроизводительных энергосберегающих систем”, Тезисы докладов XXI Научно-технической конференции в/ч 03425, Москва, 2002, стр. 51-52.
6. А. Бутузов, Г. Кристовский “Инженерный метод оптимизации цифровых КМОП схем, учитывающий внутренние емкости логических элементов и связи между ними”, Микроэлектроника, N5, 2005, стр. 389-400.