

УДК 004.052.42
На правах рукописи

Бычков Игнат Николаевич

**РАЗРАБОТКА МЕТОДОВ И СРЕДСТВ ДИАГНОСТИКИ,
ПОВЫШАЮЩИХ ЭФФЕКТИВНОСТЬ ВЕРИФИКАЦИИ МОДУЛЕЙ
ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ**

Специальность 05.13.05 – Элементы и устройства вычислительной
техники и систем управления.

Автореферат
диссертации на соискание ученой степени
кандидата технических наук

Москва – 2007 г.

Работа выполнена на кафедре «Информатика и вычислительная техника» Московского физико-технического института (государственного университета)

Научный руководитель: кандидат технических наук,
Жмурин Андрей Валентинович

Официальные оппоненты: доктор технических наук,
профессор
Яицков Александр Сергеевич

кандидат технических наук,
старший научный сотрудник
Груздов Федор Анатольевич

Ведущая организация: ФГУП «Институт точной механики и вычислительной техники им С.А. Лебедева», г. Москва

Защита диссертации состоится ____ _____ 200 г. в ____ час. ____ мин. на заседании диссертационного совета Д.409.009.01 при Институте электронных управляющих машин по адресу: 119991, г. Москва, ул. Вавилова, №24.

С диссертацией можно ознакомиться в библиотеке ИНЭУМ.

Автореферат разослан ____ _____ 200 г.

Соискатель

И.Н. Бычков

Ученый секретарь
диссертационного совета
кандидат технических наук, профессор

В.Е. Красовский

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Жесточайшая конкуренция на региональных и мировых рынках требует выполнения все более жестких сроков разработки в то время, как прогресс в микроэлектронной технологии приводит к постоянному усложнению проектируемых устройств. С другой стороны, ценовой пресс вынуждает постоянно выискивать средства к снижению затрат на проектирование. Чтобы успешно работать в современных условиях, требуется постоянное повышение качества процессов проектирования и производства.

В современных маршрутах проектирования интегральных схем (ИС) и сверх больших интегральных схем (СБИС), программируемых логических интегральных схем (ПЛИС) и печатных плат (ПП) проверка выполнения предъявляемых к изделию требований выполняется на этапах верификации, которые очень трудоемки и требуют значительного времени выполнения. Причем выполнение требований и надежность результатов проектирования напрямую зависит от полноты проверок и их достоверности.

Усложнение современной вычислительной техники и ужесточение предъявляемых к ней требований приводит к необходимости повышения эффективности этапов верификации. Требуется постоянное совершенствование существующих и введение новых методов и средств диагностики, чтобы повысить надежность модулей вычислительной техники, а также минимизировать затраты и время верификации при выполнении всех предъявляемых требований. При этом необходимо учитывать, что для небольших и средних компаний по чисто экономическим причинам недоступно использование дорогостоящих методов и средств диагностики, успешно применяемых в современных крупных компаниях. В особенности это касается средств и методов диагностики сложно-функциональных СБИС, изготовленных с помощью современных технологий.

Таким образом, **актуальной** становится разработка методов и соответствующих программных или программно-аппаратных средств диагностики, которые в рамках имеющихся возможностей повышают эффективность верификации модулей вычислительной техники.

Цель диссертационной работы заключалась в разработке новых эффективных методов и средств диагностики, которые используются на этапах верификации модулей вычислительной техники, входящих в состав современных вычислительных комплексов и систем с целью

минимизировать возможность ошибок, вносимых в проект на этапе разработки, а также эффективного выявления ошибок на более ранних этапах.

В соответствии с этим были определены следующие **задачи**:

1. Исследование этапов верификации в маршрутах проектирования модулей электронной аппаратуры.
2. Разработка метода предварительного анализа функциональной модели микропроцессора для создания его прототипа на основе ПЛИС.
3. Определение ограничения на предельную рассеиваемую мощность микросхемы при заданной конструкции и теплопроводности материалов корпуса.
4. Разработка метода тестирования и диагностики для учета динамически рассеиваемой мощности ИС при верификации энергопотребления на этапе технологического покрытия.
5. Разработка методики для повышения показателей надежности модулей вычислительной техники.
6. Разработка методик и средств диагностики результатов корпусирования ИС для верификации показателей надежности.
7. Разработка средства автоматизированного расчета временных диаграмм и их диагностики для временной верификации синхронных цифровых схем.

Методы исследования базируются на использовании физических законов, фундаментальных положениях теории надежности и дискретной математики, а также методиках построения программного обеспечения и принципах проектирования элементов и устройств вычислительной техники.

Научная новизна состоит в решении поставленных при исследовании задач, которую, прежде всего составляют:

1. Метод предварительного анализа функциональной модели СБИС для создания прототипа на основе ПЛИС, повышающего полноту и производительность тестирования на этапе функциональной верификации. В отличие от существующих методов анализа функциональной модели СБИС предлагаемый метод позволяет оценить необходимое количество ПЛИС, оптимально задействовать их конфигурируемые логические блоки, а также блоки ввода-вывода, чтобы приступить к разработке ПП прототипа.

2. Метод технологического покрытия с использованием результатов диагностики активностей переключения элементов для учета динамически рассеиваемой мощности ИС. Существующие методы технологического покрытия схемы в базисе стандартных элементов не используют экспериментальное определение активностей переключения для выводов каждого элемента.
3. Обобщена методика организации правил корпусирования ИС для технологии проводного монтажа и предложен метод проверки этих правил с применением 3D модели системы в корпусе. В отличие от существующих методик организации правил корпусирования, предлагаемая методика учитывает как специфику технологического процесса изготовления кристалла СБИС, так и специфику технологического процесса сборки микросхем. Существующие методы проверки правил корпусирования с применением диаграммы проводного монтажа не позволяют проверить весь перечень современных правил корпусирования.
4. Метод 3D диагностики конструктивных ошибок в коммутационной плате матричного корпуса. В отличие от существующего метода диагностики корпусов и паяных соединений рентгеновским излучением, предлагаемая методика позволяет выявлять конструктивные ошибки в коммутационной плате корпуса уже на этапе разработки.

Практическая значимость работы заключается в том, что результаты исследований, выполненных по теме диссертации, нашли применение в трех различных проектах для нескольких компаний. Разработанный метод проведения и использования результатов тестирования для учета динамически рассеиваемой мощности ИС на этапе технологического покрытия является одним из результатов научно-исследовательского проекта *Atadna*, выполненного в *Институте Микропроцессорных Вычислительных Систем РАН* при финансовой поддержке компании *Intel*. Обобщение организации правил корпусирования ИС с применением технологии проводного монтажа, а также реализация их проверки с использованием 3D модели системы в корпусе являются основными результатами проекта по разработке для компании *Philips Semiconductors* средства автоматизации корпусирования интегральных схем PCM (*Package Constraints Manager*). Другие методы и средства диагностики использовались на этапах верификации в проектах по разработке микропроцессоров «*Elbrus*» и «*R500S*», а также вычислительных комплексов на их основе. Эти методы

и средства диагностики являются основными результатами развития систем верификации для компании ЗАО «МЦСТ». Под руководством автора были созданы средства проектирования и диагностики TDM (Timing Diagram Manager) и PBM (Pin Box Manager).

Разработанные методы и средства проектирования и диагностики позволяют повысить показатели надежности, обеспечить нужную функциональность модулей вычислительной техники, а также сократить объем ручной работы и время, требуемое для выполнения соответствующих этапов верификации.

Достоверность научных положений и выводов, полученных соискателем, подтверждается теоретическими выкладками, экспериментальными данными и успешным промышленным внедрением.

Личный вклад автора. Постановка задачи выполнена совместно с научным руководителем. Все основные результаты получены автором. Рассматриваемые в диссертации программные средства разработки и диагностики, повышающие эффективность верификации в течение ряда лет создавалось коллективом разработчиков в Институте микропроцессорных вычислительных систем РАН и ЗАО «МЦСТ» при личном участии автора.

Внедрение результатов работы в учебный процесс было проведено в МФТИ на базовой кафедре «Информатика и вычислительная техника». Результаты диссертации внедрены в курс «Конструкторско-технологическое проектирование устройств вычислительной техники».

На защиту выносятся следующие результаты:

1. Обоснование эффективности использования на этапе функциональной верификации прототипов микропроцессоров на основе ПЛИС. Разработан метод предварительного анализа функциональной модели СБИС для создания прототипа на основе ПЛИС.
2. Разработан метод технологического покрытия с использованием результатов диагностики активностей переключения элементов для учета динамически рассеиваемой мощности ИС. Эффективность данного метода подтверждается экспериментальным путем с помощью приложения GSTM.
3. Приведено обобщение организации правил корпусирования ИС с применением технологии проводного монтажа. Реализована проверка правил корпусирования с использованием 3D модели

системы в корпусе в средстве проектирования и диагностики РСМ (Package Constraints Manager).

4. Разработаны средства 3D визуализации и применен новый метод диагностики коммутационной платы матричного корпуса.
5. Разработан способ верификации назначения сигналов эквивалентным выводам электронных компонентов с помощью программы PVM (Pin Vox Manager).
6. Разработана методика расчета временных диаграмм синхронных цифровых схем. Методика реализована в программе TDM (Timing Diagram Manager). Данное программное средство разработки и диагностики учитывает все многообразие современных устройств синхронизации и предоставляет возможность автоматизированного подбора длин линий связи.

Апробация результатов работы проводилась на международных, всероссийских и вузовских научных и научно-технических конференциях и конкурсах: Научно-техническая конференция войсковой части 03425 (Москва, 2003 г., 1 доклад); Научная конференция МФТИ (Долгопрудный, МФТИ, 2004, 2005, 2006 гг., 3 доклада); Всероссийская научно-технической конференция «Новые материалы и технологии» (Москва, 2004 г., 1 доклад); Всероссийский конкурс инновационных проектов аспирантов и студентов по приоритетному направлению развития науки и техники «Информационно-телекоммуникационные системы» (Москва, 2006 г., проект был отобран в финал конкурса); Молодежная международная научная конференция «Гагаринские чтения» (Москва, 2007 г., 2 доклада).

Публикации. Результаты диссертации отражены в четырех статьях и семи сборниках тезисов докладов.

Структура и объём работы. Диссертационная работа состоит из введения, трех глав, заключения и списка литературы из 63 позиций. Работа содержит 120 стр., 1 акт о внедрении в производство и 1 акт о внедрении в учебный процесс.

СОДЕРЖАНИЕ РАБОТЫ

Во введении обосновывается актуальность темы диссертации, формулируются общие проблемы, цели и задачи исследования, научное и практическое значение полученных результатов.

В первой главе представлены задачи функциональной верификации СБИС, а также пример системы функциональной верификации СБИС, применяемой при проектировании

микропроцессоров в ЗАО «МЦСТ». Такая система верификации является приемлемой для небольших компаний и состоит из следующих программных и аппаратных составляющих:

- набор тестов проверки архитектуры (AVS);
- набор генераторов тестов;
- интерпретационная (ISET) и функциональная (RTL) модели СБИС;
- прототип СБИС на основе ПЛИС.

Основным методом функциональной верификации СБИС в настоящее время является событийное моделирование RTL – модели, моделирование с помощью аппаратного эмулятора, а также тестирование с помощью прототипа на основе ПЛИС. Основными критериями при выборе метода верификации являются скорость моделирования, возможности отладки и стоимость требуемого комплекса программно-аппаратных средств. При моделировании СБИС объемом несколько миллионов логических вентилях все вышеупомянутые методы имеют недостатки по одному из критериев оценки.

1) Системы событийного моделирования имеют очень хорошие возможности для отладки, но скорость при моделировании на уровне регистровых передач будет в лучшем случае несколько десятков тактов в секунду.

2) Аппаратный и программный эмулятор имеет прекрасные возможности для отладки, скорость порядка нескольких мегагерц, наличие возможности, как автономной отладки, так и отладки в составе системы. Примерами такого эмулятора являются эмуляторы фирмы *QuickTurn* или более современные эмуляторы *Palladium* фирмы *Cadence*. Недостатком этих эмуляторов является высокая стоимость – в среднем несколько миллионов долларов.

3) Прототип на основе ПЛИС сравним по скорости с аппаратным эмулятором, причем цена такого решения менее 100 тыс. долларов. Однако прежде чем приступить к тестированию RTL-модели необходимо время на разработку и отладку прототипа.

Для небольших компаний, приемлемым способом проверки RTL-модели может быть лишь тестирование с помощью прототипа на основе ПЛИС. Стоимость изготовления СБИС с помощью современных технологий стоит уже более 500 тыс.долларов, поэтому решение использовать прототип на основе ПЛИС вместо реализации первой

итерации СБИС является целесообразным. Кроме того, в отличие от аппаратного эмулятора прототип на ПЛИС позволяет проводить параллельную разработку и отладку системного программного обеспечения с использованием реальных устройств памяти и ввода-вывода. По имеющемуся опыту разработки в ЗАО «МЦСТ» прототипов на основе ПЛИС их тактовая частота может составлять несколько десятков мегагерц.

В настоящее время предложены алгоритмы, а также методы на их основе для разработки прототипа на основе ПЛИС. Особенностью этих методов в применении к проектированию таких сложных СБИС, как микропроцессоры, является то, что они предлагают проводить разбиение функциональной модели СБИС на несколько ПЛИС с последующим назначением сигналов их выводам в рамках уже имеющейся системы (MFs – Multi-FPGA system). На основе накопленного в ЗАО «МЦСТ» опыта по разработке прототипов микропроцессорных систем предлагается новый метод предварительного анализа функциональной модели СБИС для создания прототипа на основе ПЛИС, повышающего полноту и производительность тестирования на этапе функциональной верификации. В отличие от существующих методов анализа функциональной модели СБИС предлагаемый метод позволяет оценить необходимое количество ПЛИС, оптимально задействовать их конфигурируемые логические блоки, а также блоки ввода-вывода, чтобы приступить к разработке ПП прототипа специализированной системы (MFs). В проекте по реализации прототипа микропроцессора «Elbrus» использовались средства как для разработки ИС, в том числе и ПЛИС, так и средства разработки ПП. Предлагаемый метод состоит в следующем:

1) Для разработки прототипа используется результат этапа трансляции функциональной модели в один из форматов, представляющий собой логическое описание проекта в терминах примитивов ПЛИС. Данный формат должен иметь иерархическую структуру.

2) Далее проводится разбиение и оценка количества конфигурируемых логических блоков, а также блоков памяти выбранной серии ПЛИС. В результате оценки определяется то количество микросхем ПЛИС k , на которое необходимо разбить исходную схему. Начиная со случайного исходного разбиения, на очередном проходе делается попытка оптимизировать текущее

разбиение с помощью алгоритма Лина-Кернигана и работа алгоритма заканчивается холостым проходом без улучшений.

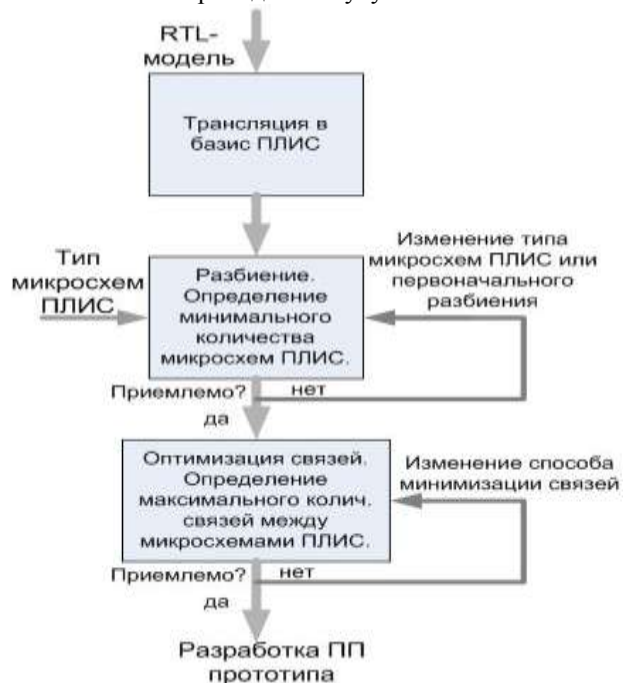


Рисунок 1 – Блок –схема метода предварительного анализа функциональной модели СБИС.

3) Затем применяется оптимизация связей, и определяется максимальное количество связей между микросхемами ПЛИС. На данном этапе используются следующие способы минимизации связей:

- Передача данных между устройствами в разных микросхемах ПЛИС на повышенной частоте при сокращении количества связей;
- Повторение одного и того же устройства в разных микросхемах ПЛИС.

Для определения количества связей используются оценки для решения задачи раскраски ребер мультиграфа или результат алгоритма раскраски ребер мультиграфа.

После того, как завершено разбиение функциональной модели микропроцессора на k микросхем ПЛИС и проверена достаточность их выводов, составляется предварительная топология ПП прототипа и назначение сигналов выводам ПЛИС. На практике эффективным оказалось использование правил для автоматизированного изменения первоначального назначения на этапе трассировки ПП. Для назначения сигналов выводам ПЛИС и задания правил для изменения этого назначения было разработано средство разработки РВМ (Pin Box Manager) (рис. 2).



Рисунок 2. Функциональные возможности РВМ.

Данное программное обеспечение обладает удобным пользовательским интерфейсом для автоматизации создания символов электрической схемы ПП и правил назначения сигналов выводам ПЛИС, резисторных сборок, микросхем дискретной логики и т.д..

Во **второй** главе рассмотрена проблема определения ограничения на максимальную рассеиваемую мощность микросхемы на примере микросхемы системы-на-кристалле «R500S» (рис 3).

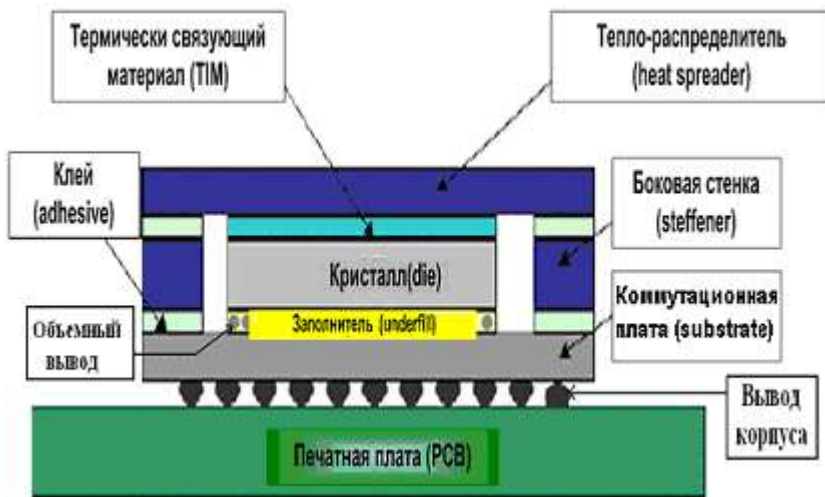


Рисунок 3. Конструкция микросхемы «R500S».

Размеры и теплопроводность материалов конструкции микросхемы «R500S» используются при расчете теплового баланса для нахождения термических сопротивлений элементов конструкции. Имея заданные температурные условия эксплуатации, а также термические сопротивления между окружающей средой и кристаллом СБИС можно рассчитать максимально допустимую рассеиваемую мощность.

Поскольку для микросхемы «R500S» выбранные материалы и конструкция корпуса использовались впервые, то расчетные оценки рассеиваемой мощности и термических сопротивлений оказались отличными от экспериментальных данных на 20%-30%. Полученные экспериментальным путем данные позволили более точно определить коэффициенты и переменные параметры критериального уравнения для конвективного теплообмена при обдуве микросхемы воздухом.

Экспериментальным путем получены термические сопротивления, представленные в таблице 1. Найдены следующие термические сопротивления: от кристалла до среды вне микросхемы (junction to ambient); от кристалла до центра тепло-распределителя (junction to top center); от кристалла до внешнего радиатора (junction-to-case). Моделирование проводилось для микросхемы в отсутствие движения воздуха, а также при движении воздуха со скоростью 1 м/с и 2 м/с:

V возд.	Θ_{JA}	Ψ_{JT}	Θ_{JC}
(м/с)	(C°/Вт)	(C°/Вт)	(C°/Вт)
0	10.1	0.4	0.8
1	8.0	0.5	-
2	7.0	0.5	-

Таблица 1. Термические сопротивления.

Далее во второй главе представлен метод проведения и использования результатов диагностики активностей переключения элементов для учета динамически рассеиваемой мощности ИС на этапе технологического покрытия. С ростом мобильного сегмента рынка большое внимание уделяется потребляемой мощности. Появляются элементы схем с возможностью управления потреблением мощности. Кроме того, в уже используемых библиотеках стандартных элементов существуют элементы с одной и той же логической функцией, рассчитанные на различную нагрузку или энергопотребление. Существует проблема достоверной оценки динамически рассеиваемой мощности. Для этого требуются активности выходов элементов, которые можно использовать как для более адекватной оценки мощности, так и для оптимизации при физическом синтезе.

Имея активности выходов элементов можно определить мощность, динамически рассеиваемую на элементе:

$$P_{cell} = \sum_{n=1}^x (E_{in} \cdot f_{in}) + \sum_{n=1}^y (C_{on} \cdot V_{dd}^2 \cdot \frac{1}{2} f_{on}),$$

где f_{in}, f_{on} – частоты изменения состояния n-го входного и выходного вывода (МГц). Кроме того, с помощью активностей выходов элементов можно определить динамическую составляющую рассеиваемой мощности на линии связи:

$$P_{wire} = \frac{1}{2} \cdot \alpha \cdot C \cdot V_{dd}^2 \cdot F,$$

где α – активность или вероятность переключения источника, а F – частота синхронизации (МГц).

Диагностику для нахождения активностей выходов целесообразно проводить после этапа функциональной верификации устройства с помощью программно-аппаратного комплекса. В случае разработки

микропроцессора таким программно аппаратным комплексом может являться прототип микропроцессора, изготовленный на основе ПЛИС с дополнительными каналами передачи данных для проведения предложенной диагностики.

В программно-аппаратном комплексе реализуется прототип разрабатываемого устройства включающего декомпозированную схему тестируемого модуля логики. Тестирование модуля может проводиться при различных режимах работы устройства. Для определения активностей выходов элементов в тестируемой декомпозированной схеме на выходах элементов «И» или «НЕ» устанавливаются статистические счетчики. Вследствие большого объема прогнозируемых вычислений статистических приемлемым оказался способ сбора статистики в стационарном окне с применением рекуррентных вычислений. В результате диагностики тестируемой схемы находятся активности выходов элементов декомпозированной схемы, часть из которых является активностями выходов библиотечных элементов после технологического покрытия.

После диагностики можно выделить части схемы с различной динамикой переключений. Выделение этих частей предлагается проводить таким образом, чтобы активности выходов элементов каждой из этих частей находились в пределах небольшого диапазона значений. В дальнейшем схему целесообразно разбить на эти части для этапа технологического покрытия. Для оценки эффективности предлагаемого подхода для учета динамически рассеиваемой мощности было разработано приложение GSTM (Gain Selective Technology Mapping), основанное на методе фиксированного выигрыша и реализованное на языке программирования C++ (рис. 4). Для получения технологического покрытия входной схемы в программном средстве GSTM, основой которого является метод фиксированного выигрыша, реализован следующий алгоритм:

1. Анализ библиотеки элементов и параметров линий связи для поиска минимально и максимально возможного параметра выигрыша.
2. Выбор набора параметров выигрыша из найденного на предыдущем шаге диапазона.
3. Формирование вариантов покрытий схемы для параметров выигрыша из набора полученного на предыдущем шаге.

4. Построение функциональной зависимости задержки и мощности от параметра выигрыша.
5. Выбор параметра выигрыша, при котором максимальна функция стоимости.
6. Покрытие входной схемы для выбранного параметра выигрыша.



Рисунок 4. Использование GSTM.

Для технологического покрытия были отобраны схемы из набора ISCAS'85 и применялась библиотека элементов, изготовленных на технологии 0.13мкм. Функция стоимости учитывала как результирующую задержку, так и рассеиваемую мощность. При экспериментах с помощью GSTM использовались два режима работы: технологическое покрытие всей схемы целиком или поочередное технологическое покрытие всех ее частей, полученных после разбиения с использованием результатов диагностики. Процесс разбиения выполнялся вручную с применением карты распределения рассеиваемой мощности. Результаты использования GSTM представлены в таблице 2. На примере экспериментального программного приложения GSTM были продемонстрированы преимущества предлагаемого подхода для учета динамически рассеиваемой мощности. Для большинства тестовых схем было получено уменьшение рассеиваемой мощности при неизменной задержке.

Тест	Деление схемы		Без деления схемы			Улучшение %	
	Задержка	Мощность	Задержка	Мощность	G	Задержка	Мощность
C432	2.80	120.0	2.60	125.2	6.5	-7.69	4.15
C499	2.25	228.4	2.25	317.3	6.2	0.0	28.02
C880	2.27	217.1	2.27	278.8	4.8	0.0	22.13
C1355	2.32	369.5	2.28	471.9	7.2	-1.75	21.70
C1908	3.12	408.2	3.12	476.8	9.5	0.0	14.39
C2670	3.10	490.4	2.97	513.1	14.4	-4.38	4.42
C3540	4.02	792.5	4.02	814.2	11	0.0	2.67
C6288	10.15	1861.8	10.15	2278.4	9.1	0.0	18.28

Таблица 2. Результаты, полученные с помощью GSTM.

Третья глава посвящена методам улучшения показателей надежности путем выполнения списка ограничений, методам диагностики результатов корпусирования ИС, а также методам расчета и диагностики временных диаграмм.

Из теории надежности известна следующая зависимость вероятности безотказной работы до момента времени t от интенсивности отказов:

$$P \approx \exp\left(-\int_0^t \lambda_t \cdot dt\right).$$

Зависимости интенсивности отказов от времени показаны на графике (рис. 5). Анализируя кривую 2, снятую при испытаниях в нормальных условиях, можно отметить три временных интервала:

- 1) от 0 до t_1 время приработки (1-1,5%) всего времени испытаний;
- 2) от t_1 до t_2 - время нормальной работы;
- 3) от t_2 до ∞ - время старения.

Время приработки характеризуется повышенным числом отказов и определяется проявлением технологических и производственных дефектов, время нормальной работы – высокой надежностью

испытуемых изделий, поскольку интенсивность отказов на этом участке постоянная и относительно небольшая. При ослаблении (кривая 1) или ужесточении (кривая 3) условий испытаний зависимость интенсивности отказов от времени изменится, но сохраняются три характерных временных интервала.

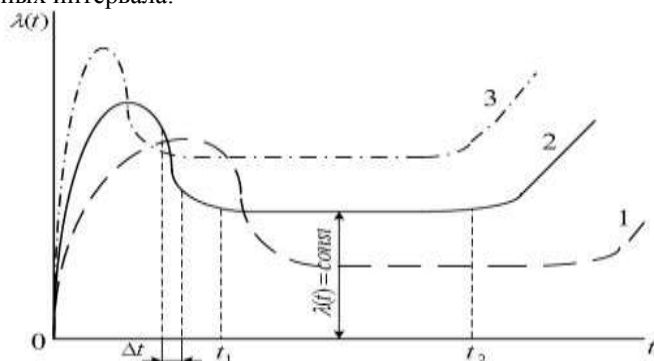


Рисунок 5. График зависимости интенсивности отказов от времени.

После анализа зависимостей показателей надежности предлагается методика создания списка ограничений путем анализа отказов для эффективной верификации показателей надежности микросхем. Если причину, влияющую на интенсивность отказов можно устранить на этапе проектирования в приемлемые сроки и затраты путем введения ограничения и соответствующей проверки, то данное ограничение заносится в список ограничений в виде правил проектирования.

Метод выполнения списка ограничений является очень распространенным на данный момент для повышения показателей надежности результатов проектирования. При неизменных технологических процессах можно улучшать показатели надежности при эксплуатации у последующих модификаций изделия. Для этого также можно использовать метод выполнения списка ограничений.

Далее в главе рассматривается задача планирования контактных выводов кристалла и построения проводного монтажа. Приводится обобщение методики организации и проверки правил корпусирования для технологии проводного монтажа. Предлагаемая методика была реализована в средстве автоматизации корпусирования интегральных схем PCM (Package Constraints Manager).

Согласно теории надежности вероятность безотказной работы системы в корпусе можно представить в следующем виде:

$$P_c(t) = \prod_{i=1}^n P_i(t) = \prod_{i=1}^n \exp \left[- \int_0^t \lambda_i dt \right] = \exp \left[- \sum_{i=1}^n \int_0^t \lambda_i(t) dt \right],$$

где $P_i(t)$ – вероятность безотказной работы i -го элемента системы за время t ; n – число элементов системы; $\lambda_i(t)$ – интенсивность отказов i -го элемента системы.

Элементы одного слоя проводного монтажа, а также одного ряда контактных выводов кристалла и корпуса можно объединить в группы, которые имеют приблизительно равную надежность. Поэтому для системы из K групп элементов преобразуем приведенное выше выражение к виду:

$$P_c = \exp \left[- \sum_{i=1}^K n_i \int_0^t \lambda_i(t) dt \right],$$

где n_i – число элементов в i -ой группе рассматриваемой системы.

Выделены несколько типов правил корпусирования для различных элементов системы в корпусе:

- ограничения на расположение кристаллов в корпусе;
- ограничения на геометрические размеры и конфигурацию периферии кристалла;
- ограничения на геометрические размеры и конфигурацию выводов корпуса;
- ограничения на геометрические размеры и конфигурацию проводных соединений относительно друг друга и других элементов диаграммы проводного монтажа.

Из всего множества правил корпусирования для проекта выбирается состав только тех правил, которые относятся к типу выбранного корпуса, диаметру и материалу проводного соединения, а также следующим данным о технологическом процессе:

- способ крепления кристалла в корпусе;
- способ присоединения проводных соединений на контактные выводы кристалла и корпуса;

- наличие у кристалла силиконового покрытия.

Использование традиционной диаграммы проводного монтажа – 2D представления результатов проектирования оказалось недостаточным для проверки всего множества правил корпусирования. Было предложено использовать 3D модель системы в корпусе. Чтобы иметь возможность проверить все множество правил корпусирования в РСМ был реализован модуль построения и проверки 3D модели.

В дальнейшем рассматривается проблема диагностики коммутационной платы матричного корпуса и обнаружения конструктивных ошибок, приводящих к серьезным дефектам вследствие явлений электромиграции и термодиффузии, а также нарушений электромагнитной совместимости. В основе предложенной методики 3D диагностики лежат метод построения 3D моделей и анализ слоев металлизации для шин земли-питания. Для создания 3D модели коммутационной платы корпуса был разработан командный файл к САПР общего назначения AutoCAD. Рассматриваемые 3D модели использовались для диагностики коммутационных плат микропроцессора «Elbrus», а также «R500S».

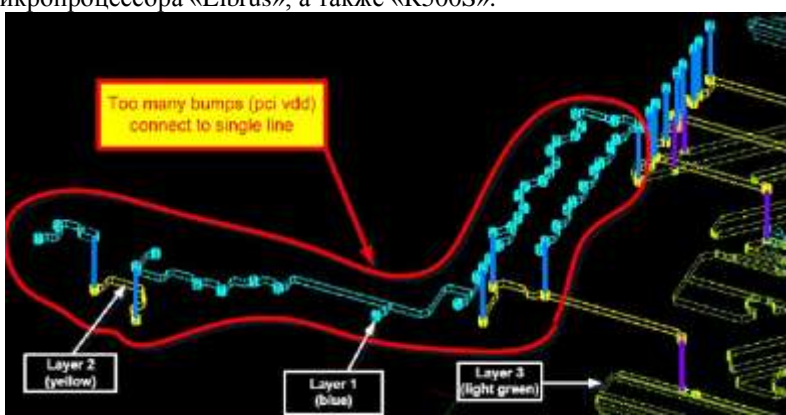


Рисунок 6. Пример 3D модели слоев металлизации для шины питания интерфейса PCI.

На примере одной из представленных 3D моделей (рис. 6) видны межслойные переходы от выводов кристалла микросхемы «R500S», являющихся выводами питания интерфейса PCI, до внутреннего слоя металлизации. В данном случае весь ток к большинству выводов кристалла поступает с третьего слоя (слоя питания) через единственный

межслойный переход. Оценка тока потребления интерфейсом PCI показала, что плотность тока через рассматриваемый межслойный переход будет в несколько раз превышать предельно допустимые значения. Следует отметить, что представленная конструктивная ошибка была устранена без каких-либо трудностей на этапе трассировки коммутационной платы корпуса.

Предлагаемый метод 3D диагностики является очень эффективным, поскольку позволяет выявлять ошибки уже на ранних стадиях разработки коммутационной платы в отличие от традиционной диагностики путем рентгеновского контроля дефектов после сборки вычислительных модулей.

В заключительном разделе главы рассматривается задача расчета и диагностики временных диаграмм.

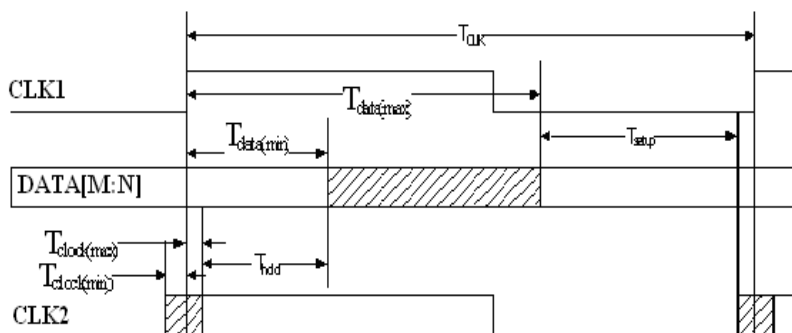


Рисунок 7. Временная диаграмма для передачи данных по прямому фронту сигнала синхронизации.

Огромный выбор по характеристикам синтезаторов частоты, буферов сигналов синхронизации, а также встроенные в интегральные схемы системы ФАПЧ (фазовой автоподстройки частоты) и элементы задержек привели к разнообразию способов построения систем синхронизации на различных уровнях проектирования вычислительной техники. При этом существует задача построения оптимальной системы синхронизации, для решения которой необходим анализ расчетов временных диаграмм. Рассматриваются временные диаграммы (рис. 7) для одного тракта передачи данных при различных фронтах и фазовых сдвигах сигнала синхронизации.

Потребность подбора компонентов элементной базы и предварительной топологии ПП при проектировании высокоскоростных интерфейсов приводит к необходимости регулировки параметров, в том числе длин линий связи для автоматического расчета временных диаграмм. Для анализа и расчета временных диаграмм было разработано средство разработки и диагностики TDM (Timing Diagram Manager). По результатам внедрения можно сказать, что оно имеет определенные преимущества перед аналогами в удобстве и скорости обнаружения ошибок при временной верификации на системном уровне.

В заключении приведены основные теоретические и практические результаты, полученные в ходе выполнения диссертационной работы.

ОСНОВНЫЕ РЕЗУЛЬТАТЫ И ВЫВОДЫ РАБОТЫ

1. Приведен анализ и получены оценки эффективности, а также условия применения представленных методов и средств диагностики:
 - прототипа на основе ПЛИС;
 - метода предварительного анализа функциональной модели СБИС для создания прототипа на основе ПЛИС;
 - метода технологического покрытия с использованием результатов диагностики активностей переключения элементов для учета динамически рассеиваемой мощности ИС;
 - средств 3D моделирования и диагностики;
 - метода проверки правил корпусирования с применением 3D модели системы в корпусе;
 - метода 3D диагностики коммутационной платы матричного корпуса;
 - средств разработки и диагностики PBM, РСМ и TDM.
2. Разработан метод предварительного анализа функциональной модели СБИС для создания прототипа на основе ПЛИС, повышающего полноту и производительность тестирования на этапе функциональной верификации. Данный метод является обобщением накопленного опыта по разработке прототипов микропроцессорных систем в компании *ЗАО «МЦСТ»*.

3. Разработан метод технологического покрытия с использованием результатов диагностики активностей переключения элементов для учета динамически рассеиваемой мощности ИС. Диагностика проводилась путем тестирования декомпозированной схемы. Этот метод является основным результатом автора в научно-исследовательском проекте по разработке маршрута проектирования СБИС. Данный проект был реализован в *Институте Микропроцессорных Вычислительных Систем РАН* при финансовой поддержке компании *Intel*.
4. Обобщена методика организации правил корпусирования ИС для технологии проводного монтажа. Предложен метод проверки правил корпусирования с применением 3D модели системы в корпусе. Модуль построения 3D модели системы в корпусе и проверка всего перечня правил корпусирования были реализованы автором в программе РСМ. Данное программное обеспечение разрабатывалось для компании *Philips Semiconductors* и успешно использовалось при верификации медиапроцессоров «Nexperia».
5. Разработан метод 3D диагностики коммутационной платы матричного корпуса. Для создания 3D моделей создан командный файл к САПР общего назначения AutoCAD.
6. В рамках исследований по теме диссертации были разработаны и внедрены в компании *ЗАО «МЦСТ»* программные средства разработки и диагностики PBM и TDM, повышающих эффективность верификации результатов проектирования модулей вычислительной техники.

РЕЗУЛЬТАТЫ ДИССЕРТАЦИИ

ОПУБЛИКОВАНЫ В СЛЕДУЮЩИХ РАБОТАХ:

1. Бычков И. Н. *Изменение средств физического синтеза при современных технологиях*. XXI научно-техническая конференция войсковой части 03425, Москва, декабрь 2003.
2. А. Аюров, I. Bychkov, V. Lyssyi, D. Rybin, N. Ryzhenko, A. Sorokin, A. Usenkov, , V. Utkin, O. Venger “*Ariadna First Year Technical Report*” *Synthesis-layout integration research project in the IMCS RAS, Moscow, December 2003*.
3. Бычков И. Н. *Метод фиксированного выигрыша при взаимодействии логического и физического этапов*

- проектирования СБИС. XLVII научная конференция МФТИ, Москва-Долгопрудный, ноябрь 2004.*
4. Бычков И. Н. *Способы взаимодействия логического и физического этапа проектирования СБИС. Новые материалы и технологии НМТ-2004. Тезисы докладов всероссийской научно-технической конференции, Москва, ноябрь 2004.*
 5. Бычков И. Н. *Потоковая генерация тестов для цифровых схем с использованием программно-аппаратных устройств. XLVIII научная конференция МФТИ, Москва-Долгопрудный, ноябрь 2005.*
 6. Бычков И. Н. *Система управления и информационной поддержки маршрута проектирования электронной аппаратуры. Сборник материалов всероссийского конкурса инновационных проектов аспирантов и студентов по приоритетному направлению развития науки и техники «информационно-телекоммуникационные системы», Москва, октябрь 2006. Проект был отобран в финал конкурса.*
 7. Бычков И. Н. *Автоматизация этапа корпусирования при проектировании интегральных схем. 49-я научная конференция МФТИ, Москва-Долгопрудный, ноябрь 2006.*
 8. Бычков И. Н. *Автоматизация расчета временных диаграмм для синхронных цифровых схем. Труды молодежной международной научной конференции «Гагаринские чтения», Москва, апрель 2007.*
 9. Бычков И. Н. *Методология корпусирования интегральных схем с применением технологии проводного монтажа. Труды молодежной международной научной конференции «Гагаринские чтения», Москва, апрель 2007.*
 10. Бычков И.Н. *Учет динамически рассеиваемой мощности при технологическом покрытии. «Информационные технологии», М., 2007, № 5.*
 11. Бычков И.Н., Поляков А. Е., Федоткин А. С. *Создание символов библиотеки элементов и правил назначения сигналов их выводам в маршруте проектирования печатных плат. «Информационные технологии», М., 2007, № 7.*
 12. Бычков И.Н. *Планирование контактных выводов кристалла и построение проводного монтажа при корпусировании интегральных схем. «Нано и микросистемная техника», М., 2007, № 10.*