

УДК 004.332.34

На правах рукописи

Дунаева Мария Андреевна

**ИССЛЕДОВАНИЕ И РАЗРАБОТКА УСИЛИТЕЛЕЙ
СЧИТЫВАНИЯ С ПОВЫШЕННОЙ УСТОЙЧИВОСТЬЮ К
ТЕХНОЛОГИЧЕСКОМУ РАЗБРОСУ ПАРАМЕТРОВ
ТРАНЗИСТОРОВ**

05.13.05 – «Элементы и устройства вычислительной техники
и систем управления»

АВТОРЕФЕРАТ
диссертации на соискание ученой степени
кандидата технических наук

Москва – 2010

Работа выполнена в филиале фирмы «Самсунг Электроникс Ко.Лтд.»

- Научный руководитель:** кандидат технических наук,
старший научный сотрудник
Кристовский Гунтис Викторович
- Официальные оппоненты:** доктор физико-математических наук,
профессор Захаров Сергей Михайлович
кандидат технических наук
Бутузов Александр Валерьевич.
- Ведущая организация:** ФГУП «Институт точной механики и
вычислительной техники
им С.А. Лебедева», г. Москва

Защита состоится « » _____ **20** г. в ____ ч. ____ мин. на заседании диссертационного совета Д 409.009.01 при ОАО «Институт электронных управляющих машин им. И. С. Брука» по адресу: 119334, г. Москва, ул. Вавилова, 24.

С диссертацией можно ознакомиться в библиотеке ОАО «Институт электронных управляющих машин имени И. С. Брука».

Автореферат разослан « » _____ **20** г.

Ученый секретарь
диссертационного совета
кандидат технических наук, профессор

Красовский В.Е.

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы диссертации.

Переход к субмикронным размерам транзисторов и возрастающая частота работы процессоров предъявляют жесткие требования к устройствам памяти больших интегральных схем (БИС). Наряду с запоминающими ячейками наиболее критическими элементами являются усилители считывания. Усилители считывания служат для усиления малой разности напряжений битовых линий до напряжения полного логического перепада. Задача усложняется тем обстоятельством, что, по мере уменьшения технологических норм, увеличивается относительный разброс параметров транзисторов и линий связи. Поэтому обеспечение бессбойной работы усилителей в сочетании с высоким быстродействием и малой потребляемой мощностью представляет собой весьма актуальную задачу.

Цель и задачи работы

Целью работы является исследование влияния разброса параметров транзисторов, возникшего во время изготовления БИС, на функционирование цепей считывания устройств памяти, использующих различные схемы усилителей считывания, поиск методов компенсации разброса параметров и разработка стабильного усилителя считывания с учетом требований низкого энергопотребления, высокого быстродействия и малой площади.

Для достижения поставленной цели диссертации решены следующие задачи:

- теоретически исследована зависимость разброса параметров парных транзисторов от их геометрических размеров.
- проведено теоретическое исследование и сравнение результатов моделирования известных усилителей считывания по проценту безошибочных срабатываний, быстродействию, потреблению мощности, занимаемой площади.

- теоретически исследован метод компенсации разброса пороговых напряжений парных транзисторов в усилителе напряжений, проведено моделирование схемы, работающей по данному методу.
- разработан новый усилитель считывания, отвечающий требованиям высокой вероятности бесбойной работы, высокого быстродействия, малого потребления мощности и малой площади. Проведено его теоретическое исследование. Результаты теоретических исследований подтверждены моделированием с использованием программы Spectre фирмы Cadence.

Научная новизна

В диссертации получены следующие новые научные и практические результаты:

- исследована схемотехническая реализация компенсации разброса пороговых напряжений парных транзисторов в усилителе напряжений.
- теоретически обоснована стабильность зарядовых усилителей по отношению к разбросу параметров парных транзисторов
- разработан зарядовый усилитель считывания, стабильность работы которого была увеличена за счет использования проходных МОП транзисторов с разным пороговым напряжением в параллельном включении.

Достоверность

Достоверность научных положений, выводов и практических рекомендаций, полученных в диссертационной работе, подтверждена теоретическим обоснованием разработанных методов и моделированием реализованных схем на основе технология TSMC 65nm и IBM 65nm с помощью программы Spectre.

Практическая ценность и реализация результатов

Определяется возможностью практического применения

разработанного усилителя считывания в системах памяти, и в качестве компаратора в АЦП.

Разработанный зарядовый усилитель считывания используется в системе восстановления тактовой частоты и данных в проекте фирмы Samsung Electronics.

Апробация работы

Основные положения диссертационной работы докладывались и представлялись на следующих международных конференциях:

48 научной конференции МФТИ (2005 г.), 49 научной конференции МФТИ (2006 г.), 50 научной конференции МФТИ (2007 г.) и 52 научной конференции МФТИ (2009 г.), а также на конференции «XXXIII Гагаринские чтения» 2007 года, МАТИ.

Публикации

Основные результаты научных исследований по теме диссертации содержатся в 10 публикациях, в их числе 3 публикации в ведущих научных журналах перечня ВАК.

Структура и объем диссертационной работы

Работа состоит из введения, пяти глав, заключения, содержит 100 страниц текста, 52 рисунка, 2 таблицы, три приложения на 15 страницах и список литературы из 48 названий.

СОДЕРЖАНИЕ РАБОТЫ

Во введении содержится цель, актуальность и краткое содержание диссертационной работы.

В первой главе описываются основные элементы статической памяти.

Важнейшие элементы устройств памяти (массив это memory array) показаны на рисунке рис.1.

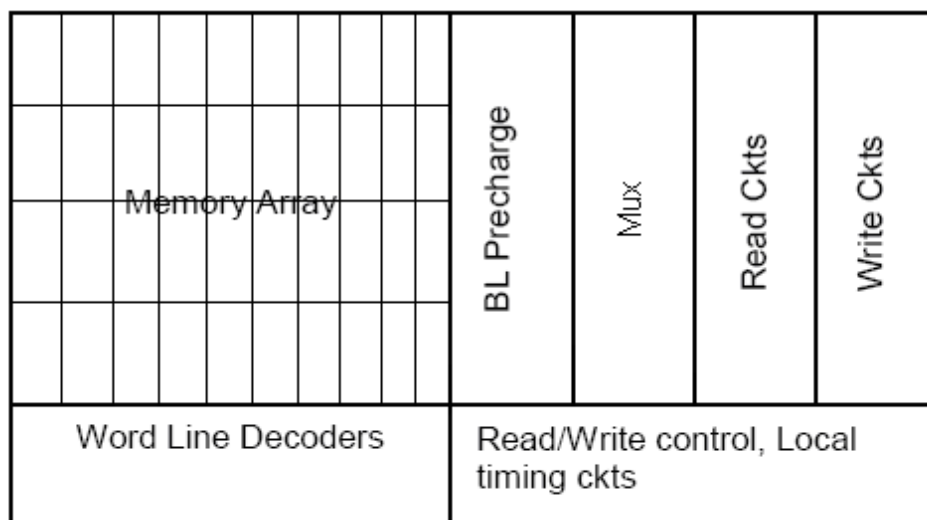


Рис.1

На рисунке рис.2 продемонстрирована основная структура одной колонки (пары битовых линий).

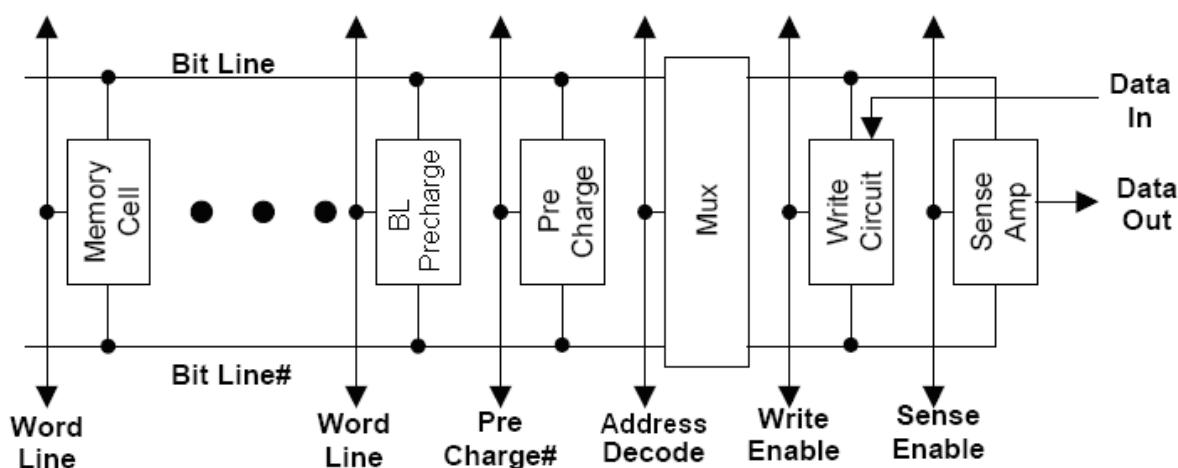


Рис.2

Схема выборки колонки (Mux) используется в случае, если одна считывающая цепь (усилитель считывания) и одна пишущая цепь соединены с несколькими колонками. Обычно количество колонок, соединенных с одним усилителем считывания, изменяется от двух до восьми. Но существуют решения, в которых столбцов более 16. Коэффициент мультиплексирования определяет геометрические размеры устройства памяти (соотношение его высоты и ширины), его выбор зависит от размера массива памяти. Соотношение высоты и ширины устройства существенно

влияет на базовое топологическое планирование схемы использующей устройство памяти и определяет размер всей схемы и как следствие сказывается на производительности и на потребляемой мощности.

Важнейшим критерием при выборе коэффициента мультиплексирования является высота колонки битовой линии и длина словарной шины. Оба эти критерия являются компромиссными и сказываются на всех важнейших параметрах: быстродействие, мощность, устойчивость работы. Использование минимального коэффициента мультиплексирования ограничивается топологической реализацией и определяется шириной ячейки памяти. Максимальный коэффициент мультиплексирования ограничивается высокой нагрузкой на вход усилителя считывания. В связи с этим для очень больших массивов памяти используется дополнительное мультиплексирование нескольких усилителей считывания или более сложные решения – разбиение устройства памяти на внутренние банки памяти с использованием объединяющей шины глобальной битовой линии. Разбиение массива памяти на отдельные банки позволяет снизить длинные критические цепи битовых линий и как следствие повысить быстродействие всего массива в целом. Дополнительные глобальные линии в этом случае приводят к некоторому увеличению потребления динамической мощности, которое можно снизить за счет селективного предзаряда локальных битовых линий. Кроме того, разбиение на банки позволяет получить более приемлемое соотношение ширина – высота для улучшения топологического планирования.

В современных устройствах кэш памяти используются 6-транзисторные ячейки памяти, которые объединяются через битовые линии (Bit Line и Bit Line#). Обычно в L2 и L3 кэш в одном столбце от 128 до 1024 ячеек памяти. В L1 кэш в одном столбце - от 32 до 64 ячеек памяти.

Схема предзаряда (BL Precharge) используется для зарядки обеих битовых линий высоким уровнем перед чтением. Во время чтения напряжение на одной из битовых линий (определяется информацией,

записанной в выбранной ячейке памяти) уменьшается. Предзаряд отключается как при чтении, так и при записи.

Схема записи (Write Circuit) служит для переключения во время записи одной битовой линии в ноль. Значение записывается в ячейку, выделенную сигналом Word Line. После записи битовые линии вновь подзаряжаются до высокого уровня.

Во время чтения посредством мультиплексирования выбирается пара битовых линий. Задача усилителя считывания (Sense Amplifier) - усилить разность напряжений на битовых линиях, достигнутой к моменту подачи на усилитель стробирующего сигнала, до полного логического перепада.

Во второй главе приводится обзорное описание основных типов усилителей считывания по физическому принципу работы.

Усилители считывания подразделяются на три основных типа: усилитель напряжений, токовый усилитель и зарядовый усилитель. Ниже приведены примеры схем усилителей всех трех типов, в которых в качестве переключающего элемента использована RS защелка. Для того, чтобы не усложнять рисунки, схемы мультиплексов опущены.

Усилитель напряжений (рис.3) основан на сравнении напряжений поступающих на его входы.

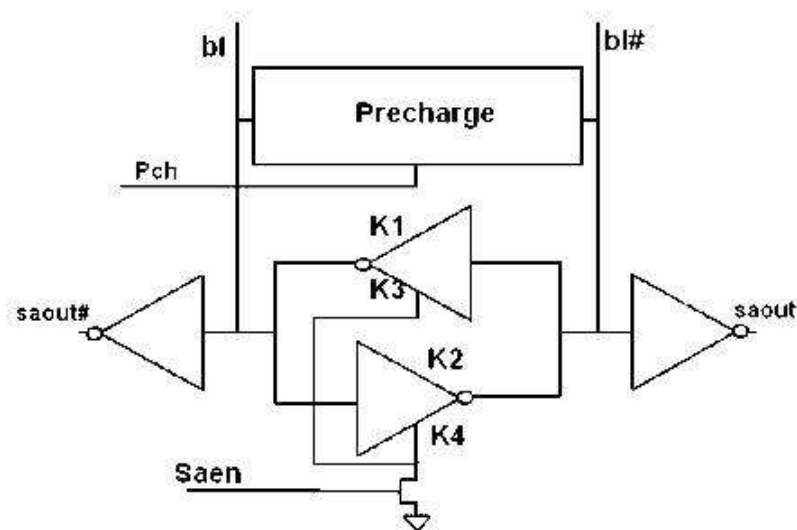


Рис.3

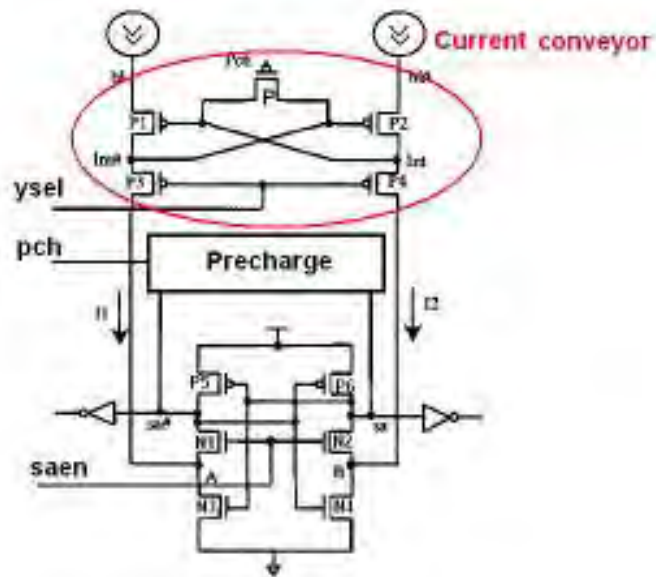


Рис.4

Токовый усилитель считывания (рис.4) сравнивает токи, поступающие на входы усилителя. Пять транзисторов (P, P1, P2, P3, P4) составляют преобразователь тока (Current conveyor), в задачу которого входит усиление разности токов на входах усилителя считывания. Защелка (транзисторы P5, P6, N1, N2, N3, N4) запоминает результат сравнения токов.

Зарядовый усилитель считывания, принципиальная схема которого показана на рисунке рис.5, перераспределяет заряд с высокоемкостных битовых линий на низкоемкостные узлы sa и sa#.

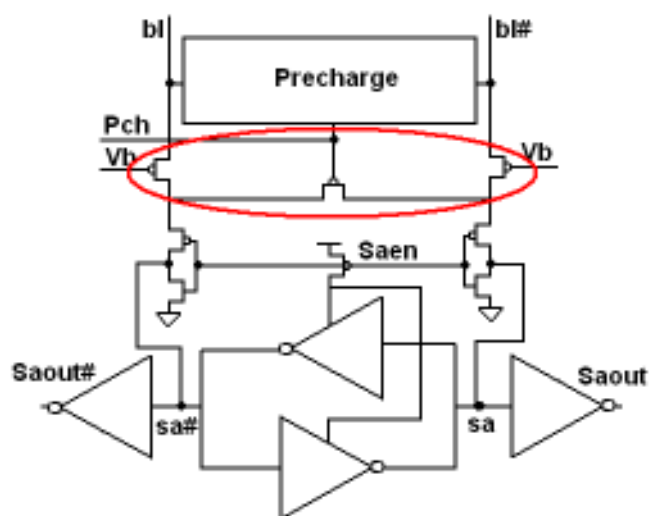


Рис.5

Транзисторы с опорным напряжением Vb, играют роль переменных

сопротивлений, которые регулируется напряжениями $b1$ и $b1\#$.

В диссертации выполнен детальный анализ усилителя напряжений и токового усилителя на примере конкретных реализаций.

Третья глава посвящена методам увеличения вероятности бессбойной работы усилителей.

Динамический усилитель считывания улавливает малую разность напряжений на битовой линии во время считывания и дотягивает сигнал до 0 или 1. В идеальном случае, когда транзисторы в усилителе считывания точно совпадают, он может усилить сколь угодно малые разности напряжений. К сожалению, в реальном усилителе считывания существует разброс параметров транзисторов. Важнейший вклад в работоспособность усилителя считывания вносят разброс длин каналов транзисторов и пороговых напряжений.

Первый раздел главы посвящен исследованию **влияния соотношения ширины и длины канала** на разброс таких параметров транзистора как пороговое напряжение и коэффициент усиления транзистора β . Показано, что основное влияние на эти параметры оказывают отклонение длины канала L и ширины канала W от их номинальных значений (DL и DW). Возможность улучшить соотношение между длиной и шириной затвора и одновременно уменьшить площадь транзистора имеет многочисленные приложения в различных устройствах электронной техники, таких как цифро-аналоговые преобразователи, усилители считывания, и другие.

Проанализируем приборы равной площади с различными пропорциями.

$$W_{eff} = W - DW \quad (3.1)$$

$$L_{eff} = L - DL \quad (3.2)$$

Эффективные размеры определяются выражениями: (3.1) и (3.2), где DL и DW - поправки, уменьшающие длину и ширину канала. DL обусловлена паразитной диффузией истока и стока, а DW возникает от посягательств области оксида на канал. Ниже, на рисунке показаны

эффективная и нарисованная ширина и длина канала для двух устройств с одинаковой нарисованной площадью. Рисунок показывает, что у устройства с большим отношением W/L (рис.6(а)), резко снижается эффективная площадь затвора, в то время как у устройства с меньшим отношением W/L (рис.6 (б)) эффективная площадь снижается гораздо меньше. Эффективная площадь затвора сильно влияет на разброс порогового напряжения посредством заряда зоны обеднения подложки и постоянного заряда Q_f изолятора:

$$V_T = \phi_{SM} + 2|\phi_B| + Q_B/C_i - Q_f/C_i, \quad (3.3)$$

где $C_i = C_{ox} \cdot L \cdot W$ - емкость затвора.

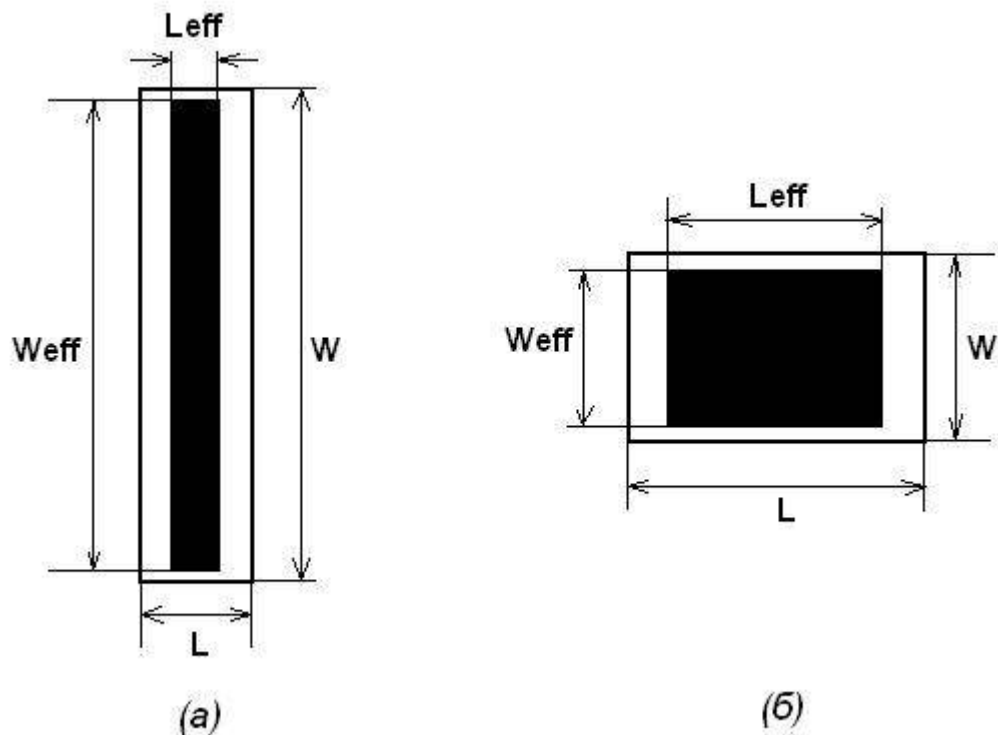


Рис.6

Разброс порогового напряжения может быть выражен следующим способом:

$$\sigma(\Delta V_T) = \frac{A_{VT0}}{\sqrt{W_{eff} L_{eff}}}. \quad (3.4)$$

В соответствии с (3.4), транзисторы с большей эффективной площадью будут иметь меньший разброс порогового напряжения, т. е. меньшее

расчетное значение $\sigma(\Delta V_T)$. Это подтверждается измерениями.

$$\text{Другим важнейшим параметром является коэффициент } \beta = \frac{\mu C_{ox} W_{eff}}{L_{eff}},$$

где μ - подвижность и C_{ox} - удельная емкость затвора.

Удельная емкость затвора будет практически постоянна для близко расположенных транзисторов. Таким образом, наряду с разбросом геометрических размеров затвора источником разброса параметра β является подвижность. При рассмотрении β в качестве функции трех случайных величин получается следующее выражение:

$$\frac{\sigma^2(\beta)}{\beta^2} = \frac{A_w}{W^2 L} + \frac{A_L}{L^2 W} + \frac{A_\beta}{W \cdot L},$$

где A_w , A_L и A_β являются константами. Для короткоканального транзистора компонент $A_L / (L^2 \cdot W)$ становится значительным и приводит к повышению разброса β . Слагаемое $A_w / (W^2 \cdot L)$ не увеличивается в той же мере. Как и в случае с разбросом порогового напряжения, транзисторы с широким и коротким каналом подвержены большему несоответствию β , чем транзисторы с узким и длинным каналом той же площади.

Зависимость между разбросом тока через транзистор от разброса порогового напряжения и коэффициента β представлена формулой:

$$\frac{\sigma^2(\Delta I)}{I^2} = \frac{\sigma^2(\Delta \beta)}{\beta^2} + \frac{\sigma^2(\Delta V_T)}{(V_{GS} - V_T)^2},$$

где $\sigma(\Delta \beta)$ и $\sigma(\Delta V_T)$ - разброс параметров β и V_T .

Из всего выше сказанного можно сделать вывод, что для уменьшения разброса параметров транзистора и, как следствие, уменьшения разброса значений протекающих через соответствующие устройства токов следует стремиться к увеличению длины канала и уменьшению его ширины. С другой стороны, увеличение длины канала, отрицательно сказывается на быстродействии транзистора. Следовательно, при разработке усилителей и других аналоговых схем необходимо находить компромисс между

стабильностью параметров транзисторов и требуемым быстродействием.

Второй раздел третьей главы посвящен теоретическому поиску методов компенсации разброса порогового напряжения.

Схема усилителя с компенсацией разброса порогового напряжения и временная диаграмма приведены на рис.7 и рис.8.

Принцип работы схем компенсирующих разброс порогового напряжения состоит в том, что во время дополнительных фаз работы (фазы L1 и L2) усилителя на истоках (VS1 и VS2) транзисторов защелки создается напряжение, зависящее от их пороговых напряжений. Это напряжение компенсирует разницу пороговых напряжений во время фазы усиления.

В усилителе, схема которого изображена на рис.7, при подаче строба L2 (рис.8), транзисторы 110 и 112 оказываются в диодном включении. В узлах VS1 и VS2 устанавливается напряжение $V_{cc}-V_{t1}$ и $V_{cc}-V_{t2}$ соответственно, где V_{t1} и V_{t2} пороговые напряжения транзисторов 110 и 112. В следующей фазе работы ($L1=0$, $L2=1$, $STROBE=0$) транзисторы 110 и 112 включены в виде защёлки. Разница пороговых напряжений компенсирована, а значит, на время переключения транзисторов 110 и 112 влияет только разница напряжений битовых линий.

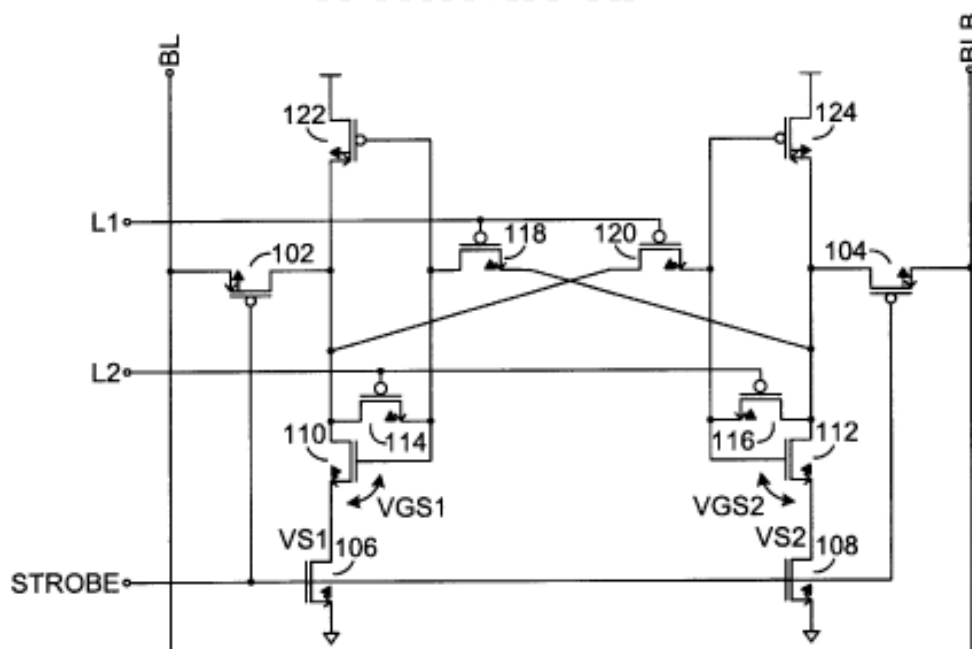


Рис.7

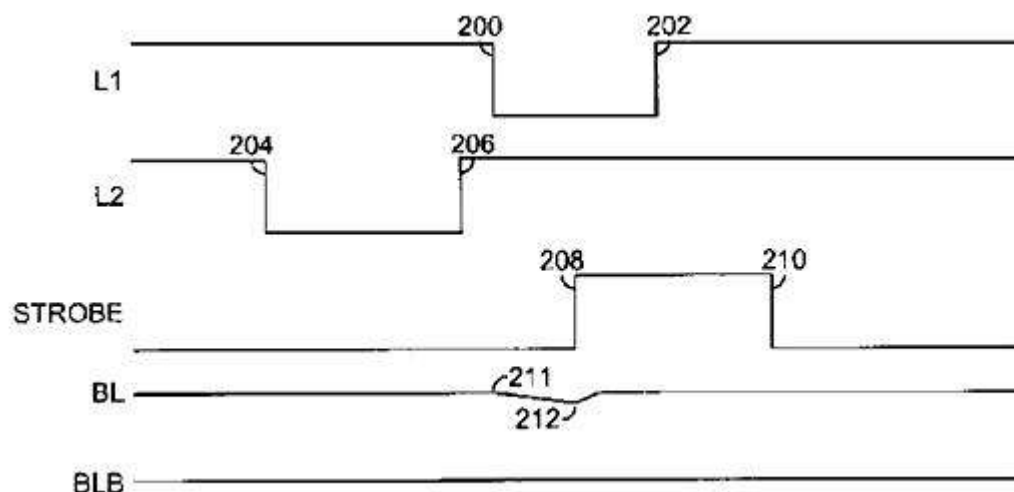


Рис.8

Усилитель считывания со схемой компенсации разброса пороговых напряжений отличается наличием дополнительных управляющих сигналов, что усложняет обвязку схемы, увеличивает потребление мощности. То есть данный усилитель достаточно медленный, неэкономичный с точки зрения потребляемой мощности. Тем не менее, с помощью данной схемы удалось достигнуть безошибочной работы схемы при варьировании параметров транзисторов.

Третья часть главы посвящена теоретическому обоснованию стабильности зарядовых усилителей считывания

Рассмотрим принцип работы зарядового усилителя считывания Михаэля Антония Анга (Michael Anthony Ang) 1996 года (рис.9).

Принцип его работы основан на передаче заряда с битовых линий 1 и 2 на узлы 38 и 40. Заряд, который изначально находится на битовой линии 2, перераспределяется между битовой линией 2, с одной стороны, и емкостями усилителя считывания, например, емкостью выходного узла 38, с другой стороны. МОП 32 отключен в начале процесса, с тем, чтобы значительно уменьшить потери заряда на битовой линии 1, в результате чего напряжение входного узла 22 по существу тоже, что было раньше. При необходимости выходные узлы 38 и 40 подключают к соответствующим буферам (не показаны на рисунке).

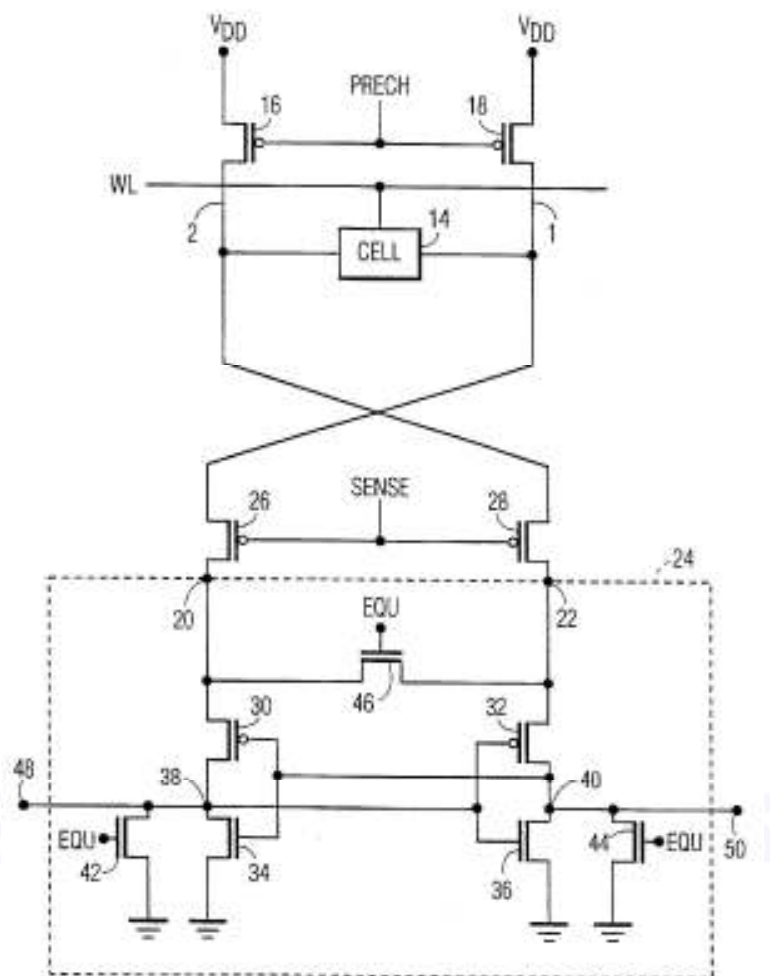


Рис.9

Работа данного усилителя считывания мало зависит от разброса параметров цепи считывания, к его недостаткам можно отнести низкое быстродействие.

Четвертая глава посвящена детальному описанию разработанного зарядового усилителя считывания, в котором для повышения стабильности работы использованы как транзисторы с номинальным значением порогового напряжения (RVT), так и транзисторы с высоким (HVT) и низким пороговым напряжением (LVT). В главе приводится теоретическое обоснование использования параллельного включения проходных транзисторов с разным пороговым напряжением.

Разработанный зарядовый усилитель считывания (рис.10), состоит из защелки, состоящей из пары транзисторов n-типа MN14 и MN15. Первый и второй транзисторы перекрещены друг с другом. Пара транзисторов p-типа

MP25 и MP26 с высоким пороговым напряжением и два транзистора p-типа MP23 и MP24 с низким пороговым напряжением служат для передачи заряда между узлами dl и dlb и защелкой. Пара транзисторов n-типа MN27 и MN28, обеспечивают соединение узлов vb1 и vb2 с низким уровнем напряжения. Схема предзаряда состоит из транзисторов p-типа MP6, MP7 и MP8. Транзисторы p-типа MP4 и MP5, обеспечивают соединение битовых линий с узлами dl и dlb.

Описанный выше усилитель работает в два этапа. На исходном состоянии на линии read высокий уровень напряжения, на линии rch низкий уровень напряжения, и на линии saen – высокий уровень напряжения. Прходные транзисторы MP5 и MP4 закрыты. MP6, MP7 и MP8 открыты. MN28 и MN27 открыты. MP23, MP24, MP25 и MP26 закрыты. Линии bl, blb, и узлы dl, dlb предзаряжены высоким уровнем напряжения, узлы vb1, vb2 предзаряжены низким уровнем напряжения.

На первом этапе линия read перезаряжается низким уровнем, линия rch высоким, линия saen высоким уровнем. MP6, MP7 и MP8 закрыты. Прходные pМОП MP5 и MP4 открыты. Начинают процесс чтения, при этом напряжение на битовой линии начинает падать. Предположим, что считывают 1 (высокий уровень), ток на dl - i_{dl} , ток на dlb - i_{dlb} , где $|i_{dl}| < |i_{dlb}|$. Устройства MP25 и MP26 работают как емкости, и они разряжаются токами i_{dl} и i_{dlb} . i_{dl} - появляется вследствие влияния взаимных емкостей битовых линий.

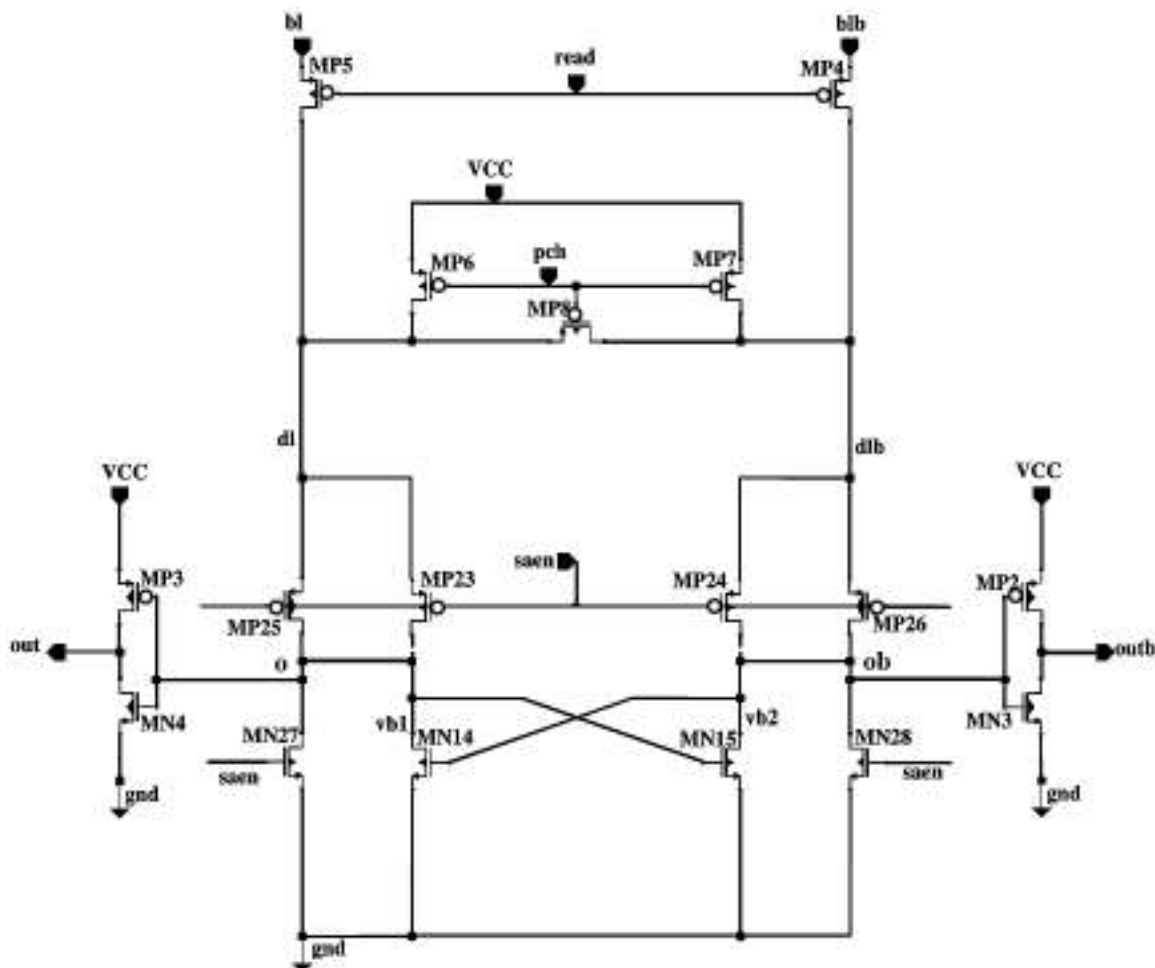


Рис.10

На втором этапе на линии read оставляют низкий уровень напряжения, линия pch находится на высоком уровне, на линию saen подают низкий уровень напряжения. Устройства MP23 и MP24 открыты. Устройства MN27 и MN28 закрыты. Токи на линии dl и dlb меняют направление и значения $|i_{dl}| > |i_{dlb}|$. Эта разница токов формирует заряд в узлах vb1 и vb2. Также она помогает «защелкнуть» верный результат благодаря разнице токов через устройства MP23 и MP24. Результат записывают с помощью транзисторов MN15 и MN14.

Принимая во внимание, что при использовании устройств с коротким каналом подвижность носителей зависит от поля $\mu = \frac{\mu_0}{1 + \chi(V_{gs} - V_t)}$, для токов через транзисторы MP25 и MP26 можно записать следующие соотношения:

$$I_{ds25} = \frac{K_{p25}}{2\chi} (V_{dl} - |V_{t25}|),$$

$$I_{ds26} = \frac{K_{p26}}{2\chi} (V_{dlb} - |V_{t26}|).$$

где V_{dl} - напряжение в узле dl, V_{dlb} - напряжение в узле dlb, V_{t25} и V_{t26} соответственно пороговые напряжения транзисторов MP25 и MP26, K_{p25} и K_{p26} - коэффициенты, зависящие от размеров канала и подвижности носителей μ_0 .

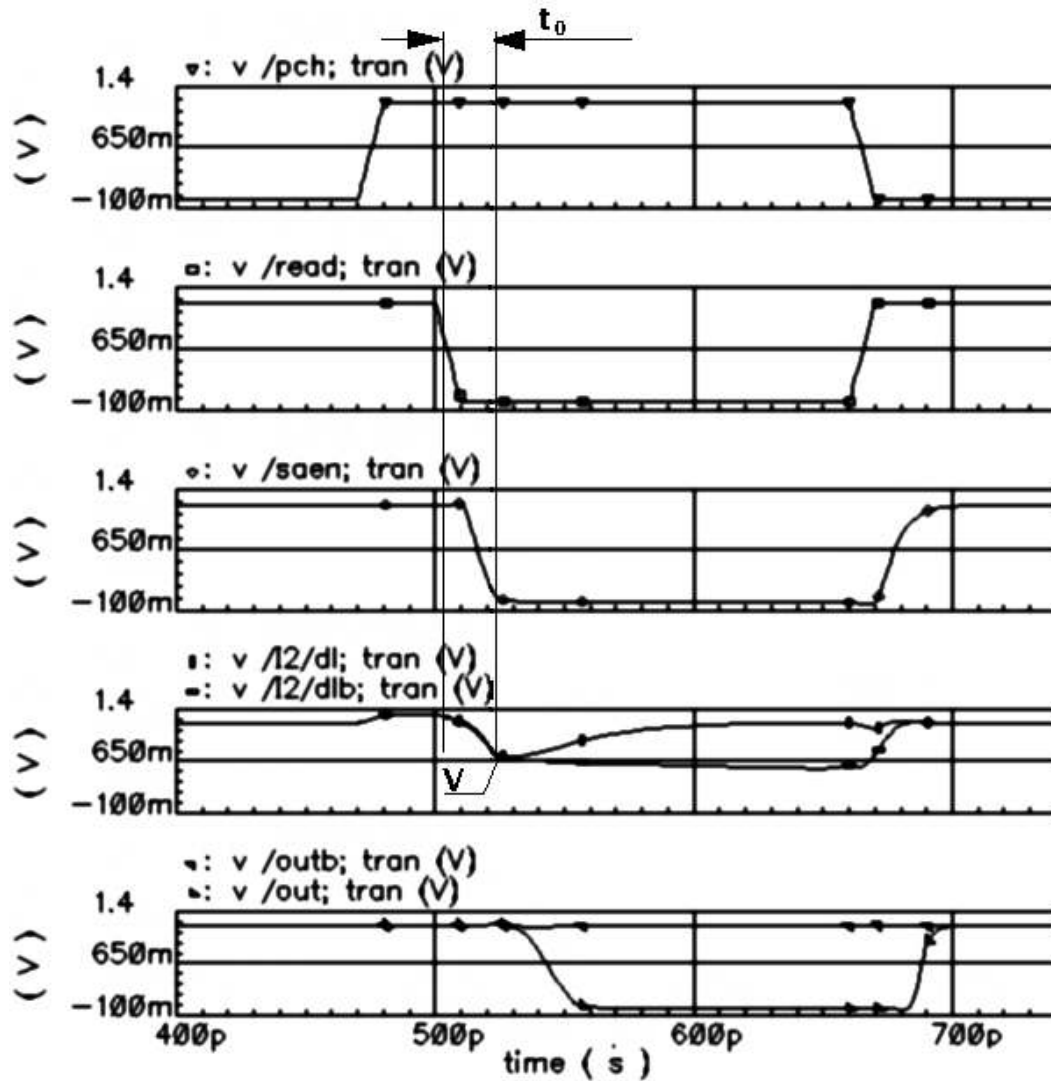


Рис.11

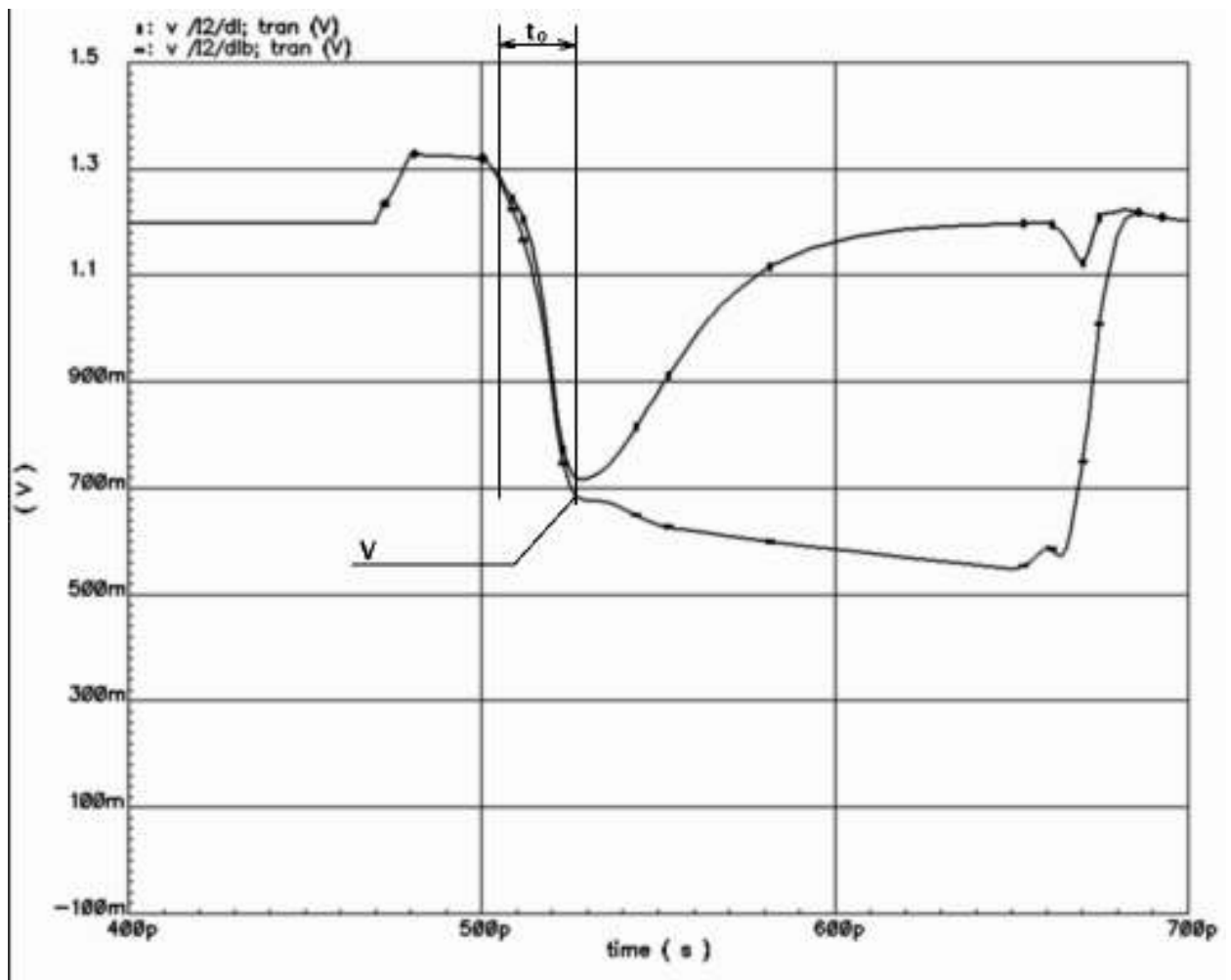


Рис.12

Сделаем ряд предположений: во-первых, поскольку сразу после подачи строба saen транзисторы MP5, MP25 и MP23 представляют собой резисторный делитель, напряжение в узле dl устанавливается примерно посередине между потенциалом узла o и битовой линией bl обозначим его как V , то есть напряжение в узле dl равно $V_{dl} = V$. В узле dlb напряжение равно $V_{dlb} \approx V - V \cdot \frac{t_0}{R_2 C_2}$, где R_2 и C_2 - сопротивление и емкость битовой линии dlb, t_0 - время подачи строба saen (рис.11, рис.12). Через промежуток времени t после момента t_0 , напряжение в узле dl равно $V_{dl} \approx V + V \cdot \frac{t}{R_1 C_1}$, R_1 и C_1 - RC параметры узла dl. в узле dlb остается равным $V_{dlb} \approx V - V \cdot \frac{t_0}{R_2 C_2}$. Так же учтем, что напряжение V_{dl} и напряжение V_{dlb} мало отличаются от V .

Разность токов I_{ds25} и I_{ds26} заряжают емкость транзисторов MN15 и MN14, составляющих защелку.

То есть:

$$\frac{dQ}{dt} = \left(\frac{K_{p25}}{2\chi} \left(V + V \frac{t}{R_1 C_1} - |V_{t25}| \right) - \frac{K_{p26}}{2\chi} \left(V - V \frac{t_0}{R_2 C_2} - |V_{t26}| \right) \right),$$

$$Q = \frac{K_{p25}}{2\chi} \left(V \cdot t + V \frac{t^2}{2R_1 C_1} - |V_{t25}| \cdot t \right) - \frac{K_{p26}}{2\chi} \left(V \cdot t - V \frac{t_0 t}{R_2 C_2} - |V_{t26}| \cdot t \right).$$

$$Q \approx t \frac{K_{p25} V}{2\chi} \left(\frac{t}{R_1 C_1} + \frac{2t_0}{R_2 C_2} \frac{K_{p26}}{K_{p25}} + D \right), \text{ где}$$

$$D = \left(1 - \frac{|V_{t25}|}{V} \right) - \frac{K_{p26}}{K_{p25}} \left(1 - \frac{|V_{t26}|}{V} \right).$$

Сделаем замену:

$$|V_{t25}| = |V_t|,$$

$$|V_{t26}| = |V_t| + \Delta|V_t|,$$

$$K_{p25} = K_p,$$

$$K_{p26} = K_p + \Delta K_p,$$

получим:

$$D = \frac{\Delta K_p (|V_t| - V) + K_p \Delta|V_t|}{K_p V},$$

$$\text{или } D = \frac{\Delta K_p (|V_t| - V)}{K_p V} + \frac{\Delta|V_t|}{V}.$$

Заметим, что чем больше пороговое напряжение, тем меньше вклад ΔK_p в выражении для D . Следовательно, увеличив пороговые напряжения транзисторов MP25 и MP26, можно уменьшить вероятность ошибки при считывании.

Выясним влияние на работу данного зарядового усилителя считывания ширины затвора NVT транзисторов MP25 и MP26. Сразу после переключения разрешающего входа в 0, плечо усилителя считывания может быть представлено в виде схемы, представленной на рис.13, где r – эквивалентное сопротивление транзисторов MP25 и MP23, C_1 – их

эквивалентная емкость. R – эквивалентное сопротивление битовой линии, C – эквивалентная емкость битовой линии. C_2 – эквивалентная емкость защелки.

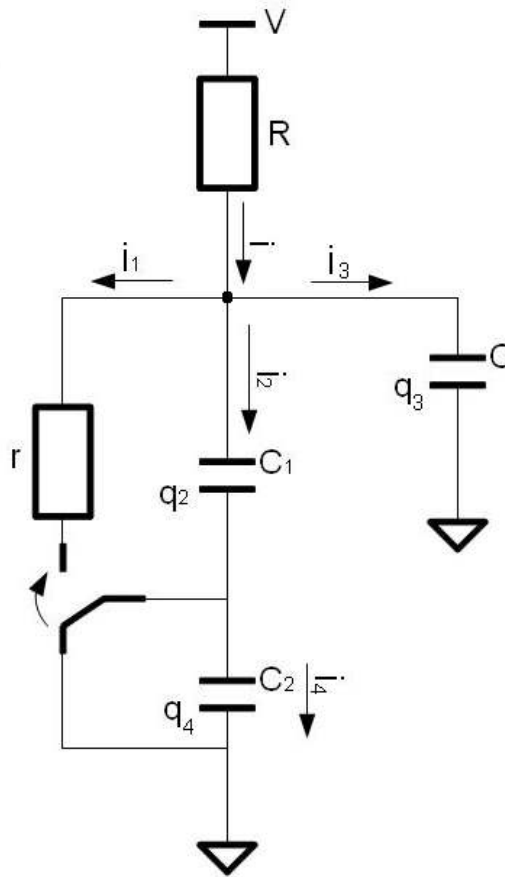


Рис.13

Для токов i , i_1 , i_2 , i_3 , i_4 и зарядов q_2 , q_3 , q_4 можно записать следующую систему уравнений:

$$\left\{ \begin{array}{l} Ri + \frac{q_2}{C_1} + \frac{q_4}{C_2} = V, \\ ri_1 = \frac{q_2}{C_1}, \\ i_1 + i_2 + i_3 = i, \quad (4.1) \\ i_1 + i_2 = i_4, \\ \frac{q_2}{C_1} + \frac{q_4}{C_2} = \frac{q_3}{C}. \end{array} \right.$$

После преобразования Лапласа и подстановки начальных значений заряда получаем:

$$\left\{ \begin{array}{l} RI + \frac{I_2}{C_1 s} + \frac{I_4}{C_2 s} = \frac{V}{s}, \\ rI_1 = \frac{I_2}{C_1 s}, \\ I_1 + I_2 + I_3 = I, \\ I_1 + I_2 = I_4, \\ \frac{I_2}{C_1} + \frac{I_4}{C_2} = \frac{I_3}{C}. \end{array} \right.$$

где обозначенные заглавными буквами величины являются образами соответствующих величин в (4.1).

Учитывая, что емкость битовой линии много больше эквивалентных емкостей транзисторов, решение может быть представлено в виде:

$$I_4 = \frac{V \cdot C_1 C_2}{CR \cdot (C_1 + C_2)} \frac{\left(s + \frac{1}{rC_1} \right)}{s \left(s + \frac{1}{r(C_1 + C_2)} \right)},$$

Применив следствие теоремы о вычетах имеем:

$$I_4 = \frac{V \cdot C_2}{CR(C_1 + C_2)} \left(\frac{C_1 + C_2}{s} - \frac{C_2}{s + \frac{1}{r(C_1 + C_2)}} \right).$$

И после обратного преобразования Лапласа для заряда i_4 получаем значение:

$$i_4 = \frac{V \cdot C_2}{CR} \left(H(t) - \frac{C_2}{C_1 + C_2} \exp\left(-\frac{t}{r(C_1 + C_2)}\right) \right),$$

где $H(t)$ - функция Функция Хевисайда.

Значение тока в парной битовой линии может быть выражена аналогичным способом, следовательно, разность токов равна:

$$\Delta i_4 = \frac{\delta \cdot C_2}{CR} \left(H(t) - \frac{C_2}{C_1 + C_2} \exp\left(-\frac{t}{r(C_1 + C_2)}\right) \right).$$

Наиболее выраженный скачек разности токов Δi_4 будет при $C_1 \gg C_2$ при фиксированной емкости C_2 , т.е. в случае использования мощных

транзисторов MP25 и MP26, при этом максимальная величина тока будет определяться емкостью C_2 . Отрицательным следствием увеличения емкости C_1 является уменьшение скорости дальнейшего нарастания разности токов. Используя параллельно включенные LVT транзисторы MP23 и MP24, можно уменьшить значение сопротивления r и увеличить разность токов битовых линий за счет того, что LVT транзисторы несколько раньше открываются.

Варианты схемы усилителя (с использованием параллельного включения HVT и LVT транзисторов, без использования параллельно включенного LVT транзистора, с использованием RVT MP23, MP24, MP25 и MP26 и схемы, в которой используются транзисторы только с низким пороговым напряжением) были исследованы с помощью программы статистического анализа. Для этого на вход программы статистического анализа подавался список соединений транзисторов усилителя считывания. Программа статистического анализа вычисляет разброс входных параметров с заданным средним значением и среднестатистическим отклонением. С каждым значением из вычисленного набора значений параметра запускается программа моделирования, проводит заданные пользователем измерения.

Варьировались параметры транзисторов, такие как пороговое напряжение, геометрические размеры. Варьирование параметров проводилось в пределах стандартного отклонения, сама же величина стандартного отклонения была задана технологией.

При моделировании схемы на технологии TSMC 65nm, наблюдалось несколько большая стабильность схемы с использованием параллельного включения HVT и LVT транзисторов (рис.14). Хорошие результаты были также получены в результате моделирования схемы без использования параллельно включенного LVT транзистора. Полученные результаты подтверждают теоретические выкладки.

ctsa_new – схема с использованием параллельного включения HVT и LVT транзисторов.

without LVT - схема без использования параллельно включенного LVT

транзистора.

RVT – схема, в которой используются RVT MP23, MP24, MP25 и MP26.

only LVT – схема, в которой используются транзисторы только с низким пороговым напряжением.

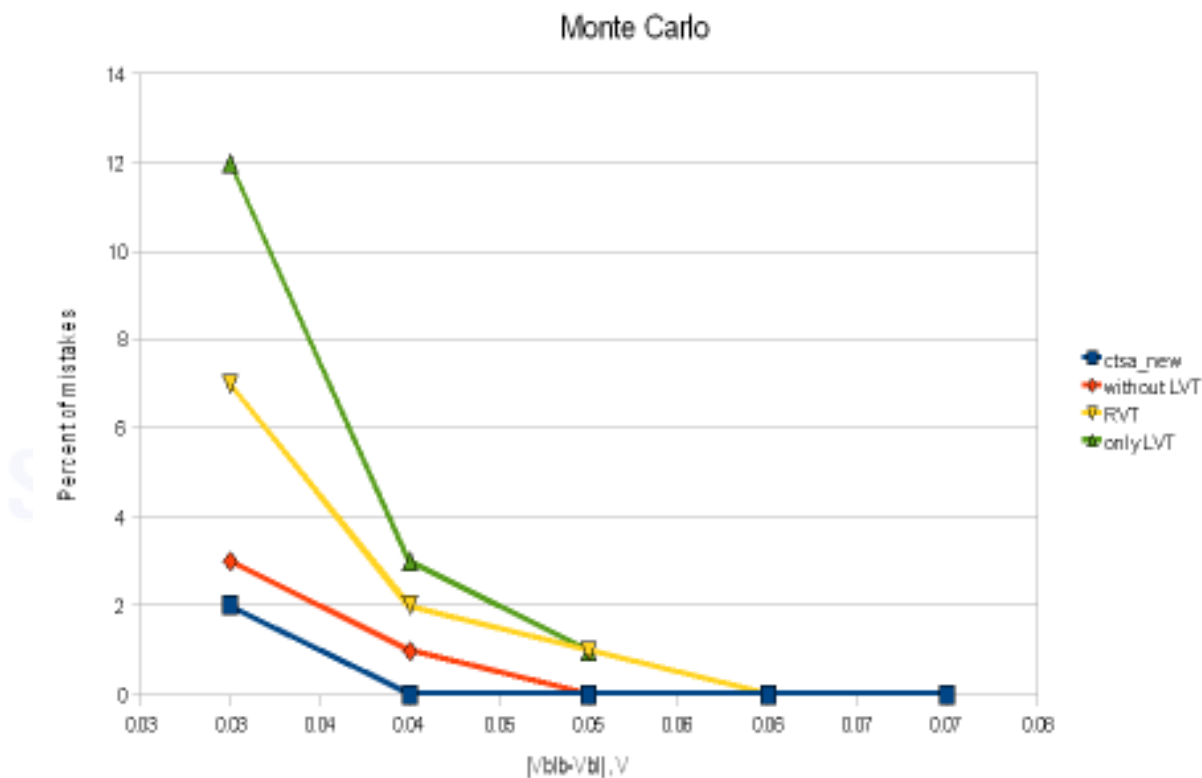


Рис.14

На технологии IBM 65nm, плюс к увеличению стабильности, уменьшалась задержка выходного сигнала на 10%.

ОСНОВНЫЕ РЕЗУЛЬТАТЫ РАБОТЫ сформулированы в **пятой главе**, где представлены результаты сравнения исследованных в работе усилителей считывания.

Мощность, потребляемая усилителями считывания, оценивалась по

формуле: $P = V_{cc} \cdot \frac{\int_{t}^{t+T} I(t) dt}{T}$, где $I(t)$ - ток, потребляемый усилителем.

Быстродействие усилителей считывания сравнивалось по задержкам

между стробом усилителя считывания (Saen) и выходным сигналом (Out).

В результате моделирования разработанного зарядового усилителя считывания, а так же двух его аналогов, были получены следующие результаты:

По сравнению с разработанным усилителем считывания, зарядовый усилитель считывания 1996 года имеет недостаточно высокую скорость срабатывания. Например, реализованный на технологии IBM 65nm, он показывает задержку $84ns$, на технологии TSMC 65nm - $41ns$ выхода после включения сигнал sense enable. При этом разработанный усилитель считывания показывает задержку $43ns$ и $25ns$ соответственно при тех же условиях (все три усилителя считывания оптимизировались по максимальному проценту безошибочных срабатываний, разница напряжений на битовых линиях составила $70mV$). Разница процента безошибочных срабатываний обоих усилителей считывания оказалась порядка погрешности. Недостаток прототипа 2004 года заключается в сложности его конструкции, вследствие использования дополнительного уровня напряжения (V_b), что увеличивает стоимость усилителя. А также в сравнительно высоком потреблении мощности ($18mW$ на технологии IBM 65nm, $23mW$ на технологии TSMC 65nm, для сравнения, разработанный усилитель потребляет $5mW$ на технологии IBM 65nm, и $7mW$ на технологии TSMC 65nm) и низком проценте безошибочных срабатываний. Прототип показал 26% ошибок в результате считывания, тогда как разработанный усилитель считывания показывает 3% ошибок в результате считывания при $|V_{blb} - V_{bl}| = 50mV$. И 18% и 0% соответственно при $|V_{blb} - V_{bl}| = 70mV$ на технологии IBM 65nm. Прототип показал 3% ошибок в результате считывания, тогда как разработанный усилитель считывания показывает 0% ошибок в результате считывания при $|V_{blb} - V_{bl}| = 50mV$. И 0% и 0% соответственно при $|V_{blb} - V_{bl}| = 70mV$ на технологии TSMC 65nm.

Тип усилителя считывания	Быстродействие (задержка выходного сигнала от строба усилителя считывания), пс ¹		Процент безошибочных срабатываний, %		Потребление мощности, мкВт (тактовая частота 2,5ГГц, нагрузка 2фФ)	
	IBM	TSMC	IBM	TSMC	IBM	TSMC
токовый усилитель считывания	68	32	93	100	44	64
усилитель напряжений	61	38	98	100	11	14
зарядовый усилитель считывания 1996 года	83	41	100	100	2	4
зарядовый усилитель считывания 2004 года	47	23	83	100	18	23
разработанный зарядовый усилитель считывания	43	25	100	100	5	7

¹ При разности напряжений на битовых линиях 70мВ.

Из-за того, что в работе усилителя считывания со схемой компенсации разброса пороговых напряжений, используются дополнительные стадии, он был исследован отдельно. Ниже приведены результаты этого исследования:

Тип усилителя считывания	Быстродействие (задержка выходного сигнала от строба усилителя считывания), пс ²		Процент безошибочных срабатываний, %		Потребление мощности, мкВт (тактовая частота 2ГГц, нагрузка 2фФ)	
	IBM	TSMC	IBM	TSMC	IBM	TSMC
усилитель считывания со схемой компенсации разброса пороговых напряжений	58	57	100	100	38	79

В заключении диссертационной работы сформулированы следующие основные результаты:

- Исследована зависимость разброса параметров парных транзисторов от их геометрических размеров, был сделан вывод, что для уменьшения разброса параметров транзистора, и как следствия для уменьшения разброса значений протекающих через соответствующие устройства токов, следует стремиться к увеличению длины канала и уменьшению

2 При разности напряжений на битовых линиях 70мВ.

его ширины. С другой стороны, увеличение длины канала, отрицательно сказывается на быстродействии транзистора. Следовательно, при разработке усилителей и других аналоговых схем необходимо находить компромисс между стабильностью параметров транзисторов и требуемым быстродействием.

- Для оценки эффективности (быстродействие, мощность, процент безошибочных срабатываний) были теоретически исследованы и промоделированы три основных типа усилителей считывания. Сделан вывод об устойчивости зарядовых усилителей считывания к разбросу параметров схемы.
- Теоретически исследован метод компенсации разброса пороговых напряжений парных транзисторов в усилителе напряжений. Сделан вывод, что для реализации метода на практике, следует ввести дополнительные управляющие сигналы, что неизбежно приведет к потерям площади и потребляемой мощности.
- Метод компенсации разброса пороговых напряжений парных транзисторов был проверен на примере усилителя Симона Ловетта. Путем моделирования было установлено, что усилитель достаточно медленный, неэкономичный с точки зрения потребляемой мощности. Тем не менее, данный усилитель продемонстрировал безошибочную работу при варьировании параметров транзисторов в случае дифференциального напряжения битовых линий 30 мВ . Усилитель со схемой компенсации разброса пороговых напряжений парных транзисторов может применяться в случаях, когда не столь важно быстродействие, но предъявляются повышенные требования к чувствительности.
- Для преодоления недостатков известных усилителей считывания, была разработана новая схема зарядового усилителя считывания. Выполнено несколько вариантов реализации разработанной схемы на технологиях IBM 65nm и TSMC 65nm (см. приложение II). Проведено всестороннее

исследование посредством моделирования в Spectre.

- Поданы патентные заявки на «Новый зарядовый усилитель считывания» и на «Компаратор напряжений», созданный на основе нового зарядового усилителя считывания, отличительной особенностью которого является отсутствие внешнего синхросигнала (см. приложение III).

В приложении I описывается методология проведения исследования.

В приложении II приведены топологические реализации разработанного зарядового усилителя считывания.

Приложение III посвящено реализации системы восстановления тактовой частоты и данных, созданной на основе разработанного зарядового усилителя считывания.

ОСНОВНЫЕ ПУБЛИКАЦИИ ПО ТЕМЕ ДИССЕРТАЦИИ

1. *Дунаева М. А.* Усилитель считывания для SRAM // Современные проблемы фундаментальных и прикладных наук. – 2005. – Радиотехника и кибернетика– С.107 – 108.
2. *Дунаева М. А.* Исследование влияния разброса параметров схемы на работу цепи считывания SRAM // Современные проблемы фундаментальных и прикладных наук. – 2006. – Радиотехника и кибернетика – С.66 – 68.
3. *Дунаева М. А.* Методы компенсации влияния разброса параметров на работу цепей считывания SRAM // Современные проблемы фундаментальных и прикладных наук. – 2007. – Радиотехника и кибернетика – С.35 – 37.
4. *Дунаева М. А.* Новый зарядовый усилитель считывания // Современные проблемы фундаментальных и прикладных наук. – 2009. – Радиотехника и кибернетика – С.86 – 88.
5. *Дунаева М. А.* Исследование влияния разброса параметров на работу цепей считывания SRAM с различными усилителями считывания // Тезисы докладов 33-й Международной молодежной научной

- конференции «Гагаринские чтения» - М.: Издательство «МАТИ» - РГТУ им. К.Э. Циолковского, 2007, т.6, С.226-227.
6. Дунаева М. А. Токовые усилители считывания для оперативных запоминающих устройств SRAM // Тезисы докладов 34-й Международной молодежной научной конференции «Гагаринские чтения» - М.: Издательство «МАТИ» - РГТУ им. К.Э. Циолковского, 2008, т.6, С.176-177.
 7. Дунаева М. А. Методы компенсации влияния разброса параметров на работу цепей считывания оперативно запоминающего устройства // Труды МФТИ. — 2009. — Том 1, № 2– С.38 – 43.
 8. Дунаева М. А. Новый зарядовый усилитель считывания // Радиолокация и связь. – 2010. - № 10– С.81 – 86.
 9. Дунаева М. А. Компаратор на основе зарядового усилителя считывания // Научный Вестник МГТУ ГА. – 2010. - № 158– С.121 – 127.
 10. Maria A. Dunaeva Novel Charge Transfer Sense Amplifier // Global SAMSUNG Tech. Conference 2009. - Samsung Advanced Institute of Technology- 2009.– p.139

07882931